

## 负电容场效应晶体管在存储器领域应用的研究进展

张冲<sup>1,2</sup>, 蔡亚丽<sup>1,2</sup>, 于子苇<sup>2</sup>, 岳文峰<sup>1,2,3</sup>, 俞亮<sup>1,2,3</sup>, 郭全胜<sup>1\*</sup>, 贾婷婷<sup>1,2\*</sup>

<sup>1</sup>湖北大学材料科学与工程学院 湖北武汉

<sup>2</sup>中国科学院深圳先进技术研究院先进材料科学与工程研究所 广东深圳

<sup>3</sup>中国科学技术大学纳米学院 江苏苏州

**【摘要】**近年来,随着便携电子设备及数据中心对内存存储需求的持续扩大,提升存储性能的创新方案备受研究关注。其中,负电容场效应晶体管(Negative Capacitance Field Effect Transistor (NCFET))作为一种存储性能得以改进的方案受到广泛关注。NCFET采用铁电材料作为晶体管中的电容层,通过实现负电容行为以操作通道中的电荷载流子。已有研究证明,NCFET的负电容行为能够在速度、稳定性和耐用性方面对存储器性能进行改善。本文全面回顾了NCFET在电子领域的研究现状,包括基本原理、所使用的材料、最新进展以及在数字和模拟集成电路中的应用。最后,文章探讨了实施NCFET在存储技术中所面临的挑战以及潜在的解决方案。

**【关键词】**负电容场效应晶体管; 数字电路; 模拟电路; 存储电路

**【收稿日期】**2023年1月25日 **【出刊日期】**2023年2月23日 **【DOI】**10.12208/j.pstr.20230002

### Research progress of negative capacitance field effect transistor in memory field

Chong Zhang<sup>1,2</sup>, Yali Cai<sup>1,2</sup>, Yu Ziwei<sup>2</sup>, Wenfeng Yue<sup>1,2,3</sup>, Liang Yu<sup>1,2,3</sup>, Quansheng Guo<sup>1\*</sup>, Tingting Jia<sup>1,2\*</sup>

<sup>1</sup>Hubei University Wuhan, School of Materials Science and Engineering, Wuhan, Hubei

<sup>2</sup>Institute of advanced materials science and engineering, Shenzhen Institute of advanced technology, Chinese Academy of Sciences, Shenzhen, Guangzhou

<sup>3</sup>College of nanotechnology, University of science and technology of China, Suzhou, Jiangsu

**【Abstract】** In recent years, as the demand for memory storage in portable electronic devices and data centers continues to expand, innovative solutions to improve storage performance have received much research attention. Among them, negative-capacitance field-effect transistors (NCFETs) have received much attention as a solution to improve memory performance. NCFETs use ferroelectric materials as the capacitive layer in the transistor to operate the charge carriers in the channel by implementing negative-capacitance behavior. It has been demonstrated that the negative capacitance behavior of NCFETs can improve memory performance in terms of speed, stability, and endurance. This paper provides a comprehensive review of NCFET research in electronics, including the fundamentals, materials used, recent advances, and applications in digital and analog integrated circuits. Finally, the article explores the challenges and potential solutions for implementing NCFETs in storage technology.

**【Keywords】** Negative capacitance field effect transistors; Digital circuits; Analog circuits; Memory circuits

#### 1 引言

近年来,NCFET作为高密度和低功耗的非易失性存储器的前景可观的解决方案,备受瞩目。

NCFET的负电容行为通过采用铁电材料作为电容层而实现,已经被证明可以改善存储器在速度和稳定性等方面的性能。

\*通讯作者: 郭全胜, 贾婷婷

在存储器技术中实现 NCFET 的挑战之一是获得能够表现出负电容行为的适宜材料。许多研究都集中于采用铁电材料作为 NCFET 的电容层, 这些材料在低功耗和高密度存储方面表现出极佳效果。在存储器技术中实施 NCFET 的另一个挑战是优化器件设计, 以进一步提升性能。最新研究重点在于改进器件的几何形状和材料选择, 以及探索制造 NCFET 的新方法。

使用负电容效应实现 NCFET 的方法最初由普渡大学的 Salahuddin 和 Datta 等人于 2008 年首次提出。此后, 对负电容效应与 NCFET 的研究也越来越受到广泛关注<sup>[1]</sup>。

国外的研究人员使用传统 CMOS 器件的紧凑模型, 结合描述负电容现象的 Landau-Khalatnikov (L-K) 方程, 对 NCFET 的直流特性和器件参数进行仿真研究。例如, Lee 等人通过对 L-K 方程进行数值求解, 获得 NCFET 沟道区域中的表面电势, 并根据电流连续性方程计算 NCFET 的漏极电流。通过解析计算 NCFET 的电流-电压关系, 对器件的电学行为进行了分析<sup>[2]</sup>。Gupta 和 Aziz 等学者巧妙地将 L-K 方程与 SPICE 模型相融合, 利用 NCFET 器件构建了反相器、环形振荡器、静态存储器 (SRAM) 等基本电路, 从电路角度深入探究 NCFET 器件的性能改善<sup>[3]</sup>。他们的研究表明: 在低电源电压下 (即  $V_{DD} < 0.25V$ ), 采用 NCFET 器件的反相器电路在等延迟下能够降低 25% 的能量消耗; 而当  $V_{DD}$  小于 0.4V 时, 采用 NCFET 器件的环形振荡器比传统环形振荡器在能量相等时的延迟降低了 97% 之多, 并且采用 NCFET 器件的 SRAM 的读取稳定性增加了 47%-68%, 其写入时间也减少 50%-57%。不过自从提出利用铁电材料中的负电容效应克服集成电路中功耗的基本限制以来, 关于铁电体中负电容的起源和可行性的质疑也随之出现。到目前为止, 大多数关于负电容的研究都使用了基于平均场方法预测铁电体中存在负电容的 Landau 相变理论。尽管已经通过实验结果证实了这一预测, 但对铁电体中负电容的微观起源却经常引起争议, 有人提出负电容是一种方便 Landau 理论的现象学, 是非物理的、人为的结构。Hoffmann 等人受到查尔斯·基特尔的《固体物理学概论》等经典教科书中的铁电教学模型的启发, 提出了一个易于理解的

铁电物理模型<sup>[4]</sup>。并且通过实验绘制了与 Landau 理论相一致的铁电体的“S”形极化与电场曲线, 证明了铁电负电容的微观物理起源。

本文接下来分析总结了铁电材料的基本性质和分类, 并阐述了铁电材料负电容的物理机制和 NCFET 工作原理, 所使用的材料、最新进展以及在数字和模拟集成电路中的应用这些研究方向的代表性研究进展进行简要介绍, 最后作出总结与展望。

## 2 NCFET

### 2.1 NCFET 器件原理

Salahuddin 和 Datta<sup>[1]</sup>从概念上提出了带有集成 FE 的晶体管结构, 该结构最终可能导致更陡峭的开关器件。他们设想按照 S 形轨迹切换 FE 层的偏振 (图 1a)。S 形的快退区域, P 与 VFE 的曲线由于其负的斜率而表现出负的差动电容 ( $dQ/dV$ )。极化电荷与电场景观的这一区域在物理上是不稳定的, 因为负的曲率与能量最大值的位置相对应。能量最大值周围电压的任何扰动都会破坏稳定, 导致系统进入两个正电容状态对应的两个能量极值之一。然而, 当与正电容串联时, 只要整体电容仍然是正的, FE 的负差分电容就可以表现出来, 这就稳定了 FE 在负电容区域的运行。

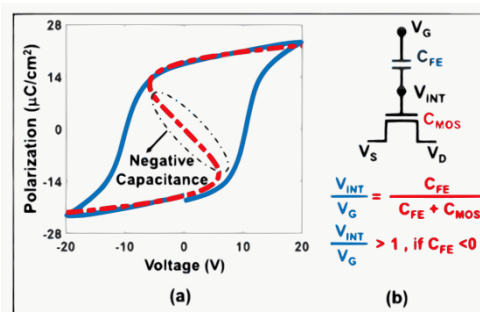


图 1 (a) Fe 材料的极化电压特性 (b) NCFET 的电压增益

在栅极堆栈中, 将一个负的电容与一个正的电容串联在一起, 具有有趣的意义。首先, 正负电容之间的电压分割导致晶体管内部栅极电压的放大 (图 1b)。这种表面电位的放大导致漏极电流 ( $I_D$ ) 的增强, 也允许晶体管实现低于 60-mV-decade (玻尔兹曼极限) 的亚阈值摆动<sup>[1]</sup>。一个非潮汐性的陡峭开关器件通常被称为 NCFET。非易失性 FeFET (将讨论) 和陡峭开关 NCFET 之间的一个重要区别是, 在 FeFET 中, 完全的极化开关 (正极到负极) 发生在 FE 中。而 NCFET 只经历部分偏振切换, 因

此预计速度会更快。NCFET 可以实现低功耗的逻辑操作, 通过利用 NCFET 低于 60mV/dec 的陡峭斜率特性, 该特性产生于器件门堆内的负电容耦合效应<sup>[5]</sup>。随着亚阈值摆幅的改善, 在较低的 VDD 值下可以达到足够的导通电流 (ION), 功耗也将大大降低<sup>[6]</sup>。

## 2.2 NCFET 的结构

集成了 FE 的晶体管在结构上类似于普通的散装 MOSFET 或 FinFET, 只是在其栅堆中集成了一层额外的 FE 材料。图 2 中 a 和 b 中所示的 FE 和电介质之间的金属层可以加也可以不加, 这对器件性能会有一些影响。一些 FE 材料如钛酸锆铅 (PZT)<sup>[7]</sup>可能与 CMOS 工艺不兼容。然而, 对氧化锆铪 (HZO)<sup>[8]</sup>(与 CMOS 工艺高度兼容) 的铁电性演示, 减轻了对 FE 晶体管大规模演示的担忧, 因为这可能阻碍工业规模的实现。FE 材料与底层晶体管电容之间的相互作用导致了不同的操作模式。从广义上讲, 基于传输特性, FE 晶体管可以在两种不同的模式下工作: 非挥发性模式 (即 FeFET 器件) 和陡峭的开关模式 (即 NCFET 器件)。

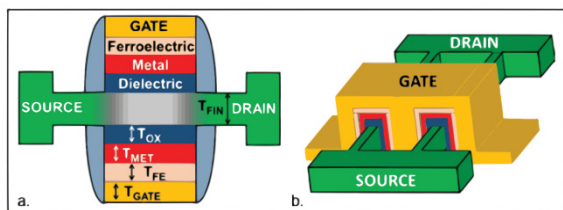


图 2 NCFET 结构<sup>[9]</sup>

(a) FeFET 的横截面视图和 (b) 三维视图

## 2.3 NCFET 和传统 MOSFET 比较

**NCFET 优点:** NCFET 可以实现更低的亚阈值摆幅, 从而提高了晶体管的开关速度; NCFET 具有负电容效应, 可以在通道中引入一个额外的电荷, 从而降低了开关电压, 提高了器件的灵敏度; NCFET 具有较高的开关速度和低的开关电压, 可以降低功耗和延长电池寿命。

**NCFET 缺点:** 目前尚未有商业化的 NCFET 产品, 因此需要更多的研究和开发工作才能实现其商业应用; NCFET 结构复杂, 需要使用多层材料和复杂的工艺流程, 制造成本较高; NCFET 的设计和优化需要更多的物理建模和仿真工作, 相对于传统的 MOSFET 更加复杂。

## 3 NCFET 在数字电路中的研究进展

### 3.1 研究进展

NCFET 在数字电路中的应用已经引起了越来越多的关注。一些研究人员致力于设计新的数字逻辑电路来充分利用 NCFET 的优点。例如, Guha 等人提出了一种新的基于 NCFET 的全加器电路设计方法, 通过使用双极性 NCFET 器件替代传统的 CMOS 器件, 实现了高速、低功耗和较小的面积占用等优点<sup>[10]</sup>。

2016 年<sup>[5]</sup>George 等对基于 FinFET 和 FEFET 器件的环形振荡器和加法器进行了能量延迟比较, 表明, 对于低电源电压, 基于 FEFET 的电路延迟时消耗的能量较低。对于 3nm 的铁电厚度, 可以获得 9.21% 的能量减少, 对于 6nm 的铁电厚度, 获得约 36% 的能量减少。与 FinFET 电路相比, FEFET 电路在较低的电压下更节能。

2019<sup>[11]</sup>年, Shrutti 等人利用全耗尽型绝缘体上硅 (FDSOI) NCFET 进行数字电路分析, 2 输入与非门逻辑电路 (NAND-2) 和 2 输入或非门逻辑电路 (NOR-2), 研究表明, 基于 NCFET 的 NAND-2 的功耗比传统 MOSFET 下降 66%, 基于 NCFET 的栅极功率延迟积比传统 MOSFET 下降 24%。

2020<sup>[12]</sup> Lin 等利用短沟道道的 Spice 模型, 2D 负电容 FET (2D-NCFET) 的电路性能。研究表明, 由于增强的负电容效应 (NC 效应), 使用更高 k 间隔物可以改善 2D-NCFET 的电路性能。考虑到 NC 放大的栅极电容, 对于传输晶体管逻辑 (pass-transistor logic), 2D-NCFET 的延迟优于 2D FET 的延迟。对于大负载的逻辑电路, 由于亚阈值斜率和有效驱动电流的改善, 2DNCFET 显示出更高的性能优势。特别是对于具有高 k 的侧墙, 较大的 NC 效应有助于实现卓越的电路性能。

2019<sup>[13]</sup>年 Yin 等利用 FeFET 构建了两类细粒度内存逻辑 (fine-grained logic-in-memory (LiM)) 电路, 三值内容寻址内存 (ternary content addressable memory (TCAM)) (将高效紧凑的逻辑/处理元件集成到不同级别的内存层次结构中); 另一种是用于构造更大、更复杂 LiM 电路的基本逻辑功能单元。并与基于 CMOS、磁性隧道结 (MTJ)、电阻随机存取存储器 (RERAM)、铁电隧道结 (FTJ) 等的现有提供相同的电路级功能进行比较, 表明,

与基于 MTJ、ReRAM 和 CMOS 的 TCAM 设计相比, 基于 FEFET 的 NV TCAM 在阵列中提供了更低的面积开销 (79%) 以及更好的功率延时积 (EDP)。在传播延迟和动态功率方面, 基于 NV FeFET 的 LiM 基本电路也比基于 MTJ 的功能等效电路块更有效。

2021 年, Islam<sup>[14]</sup>等使用了新兴铁电负电容场效应晶体管 (NCFET) 来减少时钟分配网络有效电容和有源元件, 从而降低时钟功耗。与工业 ISPD 2009 和 ISPD 2010 基准的行业标准时钟方案相比, 基于 NCFET 的计时器可以节省高达 70% 和 73% 的平均功率。与现有的 CMOS 系统相比, 所提出的系统较低的时钟延迟下降了 23.1%, 与传统的基于 CMOS 的设计相比, 所提出的时钟对串扰噪声更可靠, 并且延迟变化降低了 49%。

集成技术节点不断缩小, 利用负电容效应实现大规模集成电路功能已经是迫不及待了。使用 NCFET 进行低功耗操作的好处已经在很多项研究中得到了体现, 适用于不同的铁电体, 如 PZT, BTO 和掺杂 HfO<sub>2</sub> (Si, Zr, Gd, La)。

使器件在较低的驱动电压下工作, 这种适用于逻辑门电路中, 即在低 V<sub>DD</sub> 下具有较高的性能。NCFET 已经被用于构建环形振荡器, 逻辑非门和逻辑与门等。

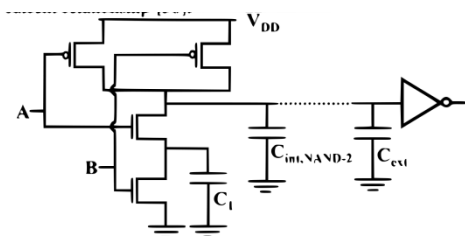


图 3 逻辑门原理图—二输入与非门

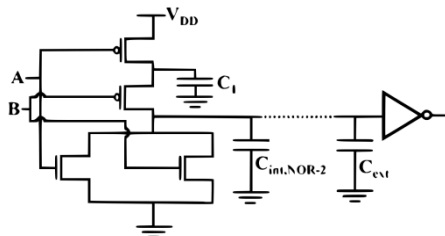


图 4 逻辑门原理图—二输入或非门

2019 年<sup>[11]</sup> Mehrotra 等人分析了铁电薄膜 (~10nm) HfO<sub>2</sub> 和 (~20nm) PZT 作为高性能的 FDSOI NCFET 栅极堆栈中的铁电解的意义, 低

VDD 低功耗数字电路 20nm 栅极长度。对于与非门逻辑电路中, 在驱动电压为 0.9V 时, 传统器件的延时为 1.41pS, 平均功耗为 29μW; 而加入 PZT 的器件延时为 1.18pS, 平均功耗为 33.99μW; 加入 HfO<sub>2</sub> 掺杂的器件, 延时为 1.17, 平均功耗为 37.06μW。对于或非门逻辑电路, 在驱动电压为 0.9V 时, 传统器件的延时为 1.6pS, 平均功耗为 29μW; 而加入 PZT 的器件延时为 1.33pS, 平均功耗为 32.26μW; 加入 HfO<sub>2</sub> 掺杂的器件, 延时为 1.32, 平均功耗为 36.24μW。整体来看加入 NC 的器件延时要比传统的性能提高。但是, 该研究没有考虑铁电器的阻尼效果, 结果仅为理想条件下的数据, 和实际中还是有很大差距。

Mehrotra<sup>[11]</sup>分析了不同器件的环形振荡器的频率, 在相同的驱动电压 V<sub>DD</sub>=0.5v 下, 传统的 FDSOI-MOSFET 的振荡频率约为 21GHz, 而在加入 PZT 铁电层的 FDSOI-NCFET 器件中获得 53GHz 的振荡频率, 在加入 HfO<sub>2</sub> 基掺杂的铁电层的 FDSOI-NCFET 器件中获得 67GHz 的振荡频率, 这对于制作环形振荡器性能来说有很大提高。

### 3.2 NCFET 在数字电路中应用的优缺点

NCFET (Negative Capacitance Field-Effect Transistor) 是一种具有负电容效应的场效应晶体管, 它能够提高数字电路的性能和能效。其在数字电路领域的优缺点如下:

**优点: 提高电路性能:** NCFET 在数字电路中能够提高晶体管的开关速度, 从而提高电路性能。**降低功耗:** NCFET 能够在数字电路中降低电路功耗, 同时提高能量利用效率。**提高可靠性:** 由于 NCFET 内部具有电压放大效应, 因此可以提高电路的抗噪声能力和可靠性。**提高电路的一致性:** NCFET 能够提高数字电路中晶体管的一致性, 使得电路的设计和制造更加稳定和可控。

**缺点: 设计复杂:** NCFET 的设计比普通晶体管复杂, 需要考虑其内部的负电容效应, 需要更加精细的设计和优化。**需要特殊工艺:** 制造 NCFET 需要特殊的工艺, 对芯片制造过程的控制要求更高, 因此成本相对较高。**可能存在损耗:** NCFET 可能存在能量损耗的问题, 需要通过优化设计和制造工艺来解决。

### 4 NCFET 在模拟电路中的研究进展

随着铁电体中的负电容效应从微观到实际生产制造中的可行性被研究证实, 可以看出具有负电容效应的场效应晶体管在超低待机功耗的物联网应用中具备巨大潜力。在 5G 时代到来的今天, 对于 NCFET 器件的模拟/射频器件性能研究变得至关重要, 目前关于 NCFET 的研究主要集中在其直流特性中, 对于模拟/射频性能的研究较少, 本章节主要综述了 NCFET 在模拟电路中的研究近况。

#### 4.1 模拟/射频性能简介

近几十年里, 晶体管的持续缩放使得其在微电子工业中的主导地位不断增强。CMOS 技术除了在数字应用中具有优异的性能外, 还开始主导以前由 BJT、MESFET 和 BICMOS 器件主导的射频市场。此外, 对具有良好射频性能的 CMOS 技术的扩展使其对片上系统 SoC 应用具有吸引力, 在这些应用中, 模拟电路与数字电路在同一集成电路中实现达到降低成本并提高性能的要求。在 5G 时代到来之际, 对具有优良高频性能电路的需求也逐渐增大, 因此对新型低功耗纳米器件 NCFET 的模拟/射频性能研究也变得十分重要。模拟/射频技术的关键性能参数主要包括跨导  $g_m$ 、输出电导  $g_{ds}$ 、栅极电容  $C_{GG}$ 、截止频率  $f_T$  和最大振荡频率  $f_{max}$ 。

跨导表示的是器件的电流增益, 主要由器件漏极电流的大小决定, 对应公式为:

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}}$$

理论上, 和传统 MOSFET 器件相比, NCFET 的跨导与栅极电容会有所增大。NCFET 的跨导更高主要是因为受负电容效应影响, NCFET 器件具有更强的电流放大能力, 而更大的跨导也意味着 NCFET 器件在一定的漏极电流偏置下具有较强的将直流功率转换为交流增益性能的能力, 这对于低功耗模拟电路应用十分重要。在射频电路中 MOSFET 的关键性能参数主要有两个, 分别是截止频率和最大振荡频率, 其中截止频率是当电流增益为 1 时的频率, 主要受器件的跨导与栅极电容的值所影响, 对应表达式为:

$$f_T = \frac{g_m}{2\pi C_{GG}}$$

相比于传统 MOSFET 器件, 在栅极添加铁电层的负电容晶体管具有更高的跨导与栅极电容, 更适用于低功耗模拟/射频电路的应用。

#### 4.2 研究进展

近年来, NCFET 在模拟电路中的研究主要集中在以下几个方面:

**建模和参数提取:** 研究者们提出了一些新的模型, 如快速模型、基于梯度提升树的模型等, 以提高 NCFET 模型的准确性。同时, 也探索了新的参数提取方法, 如基于神经网络的参数提取、基于概率推理的参数提取等。**设计方法:** 研究者们提出了一些新的设计方法, 如基于时域积分的设计方法、基于双极性传输的设计方法等, 以提高 NCFET 在模拟电路中的性能。**应用研究:** 研究者们研究了 NCFET 在一些重要的模拟电路中的应用, 如放大器、滤波器、振荡器等。同时, 也探索了 NCFET 与其他器件的混合集成, 以进一步提高模拟电路的性能。

2018 年 T.Dutta 通过对 NCFinFET 搭建的电路进行仿真, T Dutta 等人仿真得到器件 DIBL 效应和铁电层厚度对器件性能的影响, 通过增加铁电层厚度, 器件的性能变化被抑制。通过使用 NCFinFET 仿真电路, 环形振荡器电路的延迟被减小<sup>[15]</sup>。NCFinFET 在低功耗电路上拥有巨大潜力, 可以用来制备低功耗处理器。此外, 2015 年 Sumitha George 等人发现由于 NCFET 的滞后效应, 其在非易失性电路和噪声免疫电路上同样有巨大的潜力<sup>[16]</sup>。通过将 NCFET 中铁电层厚度和电路的延迟以及功耗性能联系起来, 2021 年 Sami Salamin 等人发现在更厚的铁电层厚度上, 电路得到了更低的功耗和延迟<sup>[17]</sup>。

2019 年 Yuhua Liang 等人使用 NCFinFET 搭建模拟电路得到: 负电容效应增强了电压时间转换器的线性度和比较速度<sup>[18]</sup>。

2021 年 Eslahi 研究了负电容场效应晶体管 (Negative Capacitance Field-Effect Transistors, NCFET) 的小信号模型和模拟性能分析。作者在文章中提出了一个考虑了负电容效应和电荷注入效应的小信号模型, 并利用该模型分析了 NCFET 的增益和带宽等模拟性能。此外, 作者还讨论了 NCFET 的多晶硅衬底和单晶硅衬底的区别, 并通过模拟和实验验证了 NCFET 的模拟性能和稳定性<sup>[19]</sup>。

#### 4.3 优缺点比较

NCFET 在模拟电路领域的优缺点如下: 优点: NCFET 具有内部电压放大特性, 因此可以提高模拟

电路的增益和带宽。NCFET 的负电容特性可以改变传统 MOSFET 的非线性关系, 从而提高线性范围, 降低失真。NCFET 可以通过修改铁电层的厚度来调整其非线性特性, 因此具有设计灵活性。缺点: NCFET 需要使用铁电材料来实现负电容效应, 这种材料通常难以制备和集成, 从而导致制造成本高。由于铁电材料的不稳定性, NCFET 的电学特性可能随着时间和温度的变化而发生漂移, 这可能导致可靠性问题。NCFET 的非线性特性可能对一些模拟电路应用不太适用, 因此需要进行特定的设计和优化。

总的来说, 该文章对 NCFET 的小信号模型和模拟性能分析进行了深入研究, 为 NCFET 的进一步优化和应用提供了重要的理论基础<sup>[20]</sup>。虽然 NCFET 在模拟电路中的研究还处于起步阶段, 有许多问题需要解决, 但也具有很大的发展潜力。

## 5 NCFET 在存储器领域的研究进展

### 5.1 研究进展

单个设备作为逻辑和存储设备的能力可以打开大型和独特的设计空间。例如, FEFET 可用于支持各种合并的逻辑和存储器结构 - 从计算内存 (Compute in-memory (CIM)) 阵列, 其中非易失性存储器 (Nonvolatile memory (NVM)) 单元中的数据直接在外围处理<sup>[21]</sup>, 到内容可寻址存储器 (content addressable memory (CAM)) 阵列, 其中在存储器单元本身内处理信息, 以及通过形成存储器阵列的硬件基础架构<sup>[22]</sup>。值得注意的是, 这两种方法都可用于加速和改善与摩尔定律模型相关的计算的能量效率<sup>[23]</sup>。

近年来, NCFET 在存储器领域的研究主要集中在以下几个方面:

NCFET 随机存取存储器 (SRAM) 方面, 研究人员研究了使用 NCFET 替代传统 CMOS 技术实现 SRAM 单元的可能性, 并考虑了不同的 NCFET 结构和材料, 以提高存储器性能和功耗。

2020 年, Y.Hong 等人对基于 NCFET 的 6-T SRAM 进行仿真, 得到存储电路的读写性能均有提高。NCFET 搭建的存储器电路在低电压下保持了较高的性能<sup>[24]</sup>。

NCFET 非易失性存储器方面, 研究人员在探索 NCFET 作为存储单元的可行性, 如基于 NCFET 的快速开关和调制器件来实现非易失性存储器的研

究。该文章研究了一种新型的基于 Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> 铁电材料的场效应晶体管 (FE-FET), 并探讨了其在辐射环境下的非易失性存储器应用。作者们通过优化晶体管结构和材料制备工艺, 使其在低功耗下表现出良好的稳定性和存储特性。此外, 作者还研究了晶体管在不同辐照剂量和能量下的响应, 发现其具有较高的抗辐照能力和稳定性。这种基于 Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> 的 FE-FET 非易失性存储器具有潜在的应用价值, 可以用于未来高可靠性、高效能的电子系统中<sup>[25]</sup>。

NCFET 动态随机存取存储器 (DRAM) 方面, 研究人员在探索 NCFET 技术在 DRAM 单元的应用, 其中包括 NCFET 的设计、集成和测试等方面的研究。该篇文章探讨了一种新型三晶体管 DRAM 电路, 其中包含一个铁电晶体管作为存储单元。通过模拟和实验分析, 作者确定了该电路的主要特性, 包括读取、写入和保持时的性能, 以及对不同参数的敏感度。实验结果表明, 该电路具有较高的读取性能和较低的功耗, 并且不会因为写入次数增多而降低可靠性。此外, 通过对铁电晶体管的研究, 作者发现了铁电晶体管在 DRAM 中的优势和局限性, 并提出了一些未来研究的方向。总之, 该研究为利用铁电晶体管来设计新型 DRAM 电路提供了有价值的信息<sup>[26]</sup>。

NCFET 交叉点阵列存储器 (Crossbar Array) 方面, 研究人员研究了使用 NCFET 来构建交叉点阵列存储器的可能性, 这可以提高存储器的密度和性能, 并探索了不同的 NCFET 交叉点结构和材料。这篇文章介绍了一种用于读-改-写操作的时间 ADC, 该 ADC 适用于基于铁电场效应晶体管的伪交叉阵列。在这种阵列中, 每个单元都包含了一个非易失性铁电存储器和一个场效应晶体管开关。由于阵列结构的限制, 传统的基于比较器的 ADC 难以实现读-改-写操作, 因此需要一种新的 ADC 方案。文章提出了一种基于时间的 ADC, 该 ADC 能够在单个时钟周期内对非易失性存储器进行读、改和写操作。通过使用时间差分技术, 该 ADC 可以实现高精度的比较和判断, 同时具有低功耗和快速响应的特点。实验结果表明, 该 ADC 方案可以在不损失性能的情况下实现非易失性存储器的读-改-写操作, 适用于高性能和低功耗的嵌入式系统应用<sup>[27]</sup>。

总的来说, NCFET 在存储器领域的研究仍处于探索阶段, 但研究人员正在积极探索 NCFET 在不同存储器应用中的潜在优势和限制。

### 5.2 不同存储器的优缺点

NCFET 在存储器领域的优缺点如下: 优点: 在非易失性存储器中, NCFET 可以提高存储器的功耗效率并减小延迟, 从而提高存储器的性能。在存算一体的应用中, NCFET 可以保证电路的计算能力, 同时具备低功耗和高输出电流的特性。NCFET 的内部电压放大作用可以降低功耗和增强性能。NCFET 可以实现低功耗的 SRAM 和 DRAM 电路设计。

缺点: NCFET 的增加铁电层会引入更高的栅电容, 从而导致更高的功耗, 使得电路设计中的功耗、性能和可靠性之间存在权衡。NCFET 的设计空间需要进一步探索, 现有研究主要集中在器件间的比较, 还未对其厚度、工作电压等方面进行深入研究。在一些应用中, NCFET 可能存在写入速度不足的问题, 从而限制了其在高速存储器中的应用。NCFET 的制造过程较为复杂, 成本较高, 这可能会限制其在一些应用中的广泛应用。

## 6 总结

尽管在 NCFET 研究方面取得了许多进展, 但为了使这些器件商业化, 仍有许多挑战需要解决。其中一个关键的挑战是负电容效应在时间和温度上的稳定性, 这需要开发稳定和可扩展的材料系统。另一个挑战是为特定的应用优化 NCFET 的性能, 这需要更好地了解这些器件的基本物理学和开发适当的模型。

就未来的方向而言, 人们对开发用于存储器和逻辑器件以及能量收集应用的低功耗 NCFET 的兴趣越来越大。此外, 还需要开发可扩展的制造工艺, 以生产高产量和高质量的 NCFET。此外, 研究人员正在探索新的材料系统和器件结构, 以提高 NCFET 的性能和稳定性。

总之, NCFETs 代表了一种很有前途的技术, 可以改善存储器、逻辑和能量收集应用中的电子器件的性能。虽然在 NCFET 的发展中仍有许多挑战需要解决, 但近年来取得的进展表明了这些器件的潜力, 并为未来的研究奠定了坚实的基础。

尽管存在上述挑战, 最近 NCFET 在存储器领域的研究取得显著进展。NCFET 在存储器技术中的

应用已经展示出显著的性能提升, 并且具有巨大的进一步发展潜力。综上所述, NCFET 代表了高密度和低功率非易失性存储器的前景可观的解决方案。最近在这个领域的研究进展显著, 并且在性能方面显示出有希望的结果。未来还需要进一步研究优化 NCFET 的材料和器件设计, 以在存储器技术中实际应用。

## 参考文献

- [1] A. M. Ionescu, "TWO-DIMENSIONAL MATERIALS Negative capacitance gives a positive boost," *Nat Nanotechnol*, vol. 13, no. 1, pp. 7-8, Jan. 2018.
- [2] H. Lee, Y. Yoon, and C. Shin, "Current-Voltage Model for Negative Capacitance Field-Effect Transistors," *Ieee Electr Device L*, vol. 38, no. 5, pp. 669-672, May. 2017.
- [3] S. Gupta, M. Steiner, A. Aziz, V. Narayanan, S. Datta, and S. K. Gupta, "Device-Circuit Analysis of Ferroelectric FETs for Low-Power Logic," *Ieee Transactions on Electron Devices*, vol. 64, no. 8, pp. 3092-3100, Aug. 2017.
- [4] M. Hoffmann, P. V. Ravindran, and A. I. Khan, "Why Do Ferroelectrics Exhibit Negative Capacitance?," *Materials (Basel)*, vol. 12, no. 22, Nov 13. 2019, DOI: 10.3390/ma12223743.
- [5] 9S. George et al., "Device Circuit Co Design of FEFET Based Logic for Low Voltage Processors," in *2016 IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, 11-13 July 2016. 2016, pp. 649-654.
- [6] M. A. Alam, M. Si, and P. D. Ye, "A critical review of recent progress on negative capacitance field-effect transistors," *Appl Phys Lett*, vol. 114, no. 9, pp. 090401, 2019/03/04. 2019.
- [7] A. Aziz, S. Ghosh, S. Datta, and S. K. Gupta, "Physics-Based Circuit-Compatible SPICE Model for Ferroelectric Transistors," *Ieee Electr Device L*, Articlevol. 37, no. 6, pp. 805-808, 2016 JUN. 2016.
- [8] 9M. H. Lee et al., "Prospects for ferroelectric HfZrOx FETs with experimentally CET=0.98nm, SSfor=42mV/dec, SSrev=28mV/dec, switch-off <0.2V, and hysteresis-free strategies," in *2015 IEEE International Electron Devices Meeting (IEDM)*, 7-9 Dec. 2015. 2015, pp. 22.5.1-22.5.4.

- [9] 9A. Aziz et al., "Computing with ferroelectric FETs: Devices, models, systems, and applications," in 2018 Design, Automation & Test in Europe Conference & Exhibition (DATE), 19-23 March 2018. 2018, pp. 1289-1298.
- [10] S. Guha and P. Pachal, "Heterojunction Negative-Capacitance Tunnel-FET as a Promising Candidate for Sub-0.4V V-DD Digital Logic Circuits," *Ieee T Nanotechnol*, Articlevol. 20, pp. 576-583, 2021. 2021.
- [11] S. Mehrotra and S. Qureshi, "Performance Considerations of Thin Ferroelectrics (~10 nm HfO<sub>2</sub>, ~20 nm PZT) FDSOI NCFETs for Digital Circuits at Reduced Power Consumption [arXiv]," *arXiv, Journal Paper* pp. 8 pp.-8 pp., 2019 06 12. 2019.
- [12] 4L. Chia-Chen, W. Yi-Jui, Y. Wei-Xiang, and S. Pin, "Performance Evaluation of Logic Circuits with 2D Negative-Capacitance FETs Considering the Impact of Spacers (2020 International Symposium on VLSI Technology, Systems and Applications (VLSI-TSA)). 2020, pp. 62-3.
- [13] X. Z. Yin, D. Reis, M. Niemier, and X. S. Hu, "Ferroelectric FET based TCAM Designs for Energy Efficient Computing," 2019 *Ieee Computer Society Annual Symposium on Vlsi (Isvlsi 2019)*, pp. 438-443, 2019.
- [14] R. Islam, "Negative Capacitance Clock Distribution," *IEEE TRANSACTIONS ON EMERGING TOPICS IN COMPUTING*, Articlevol. 9, no. 1, pp. 547-553, 2021 JAN 1. 2021.
- [15] T. Dutta, G. Pahwa, A. Agarwal, and Y. S. Chauhan, "Impact of Process Variations on Negative Capacitance FinFET Devices and Circuits," *Ieee Electr Device L*, vol. 39, no. 1, pp. 147-150, 2018.
- [16] 9S. George et al., "NCFET Based Logic for Energy Harvesting Systems," 2015.
- [17] S. Salamin, G. Zervakis, Y. S. Chauhan, J. Henkel, and H. Amrouch, "PROTON: Post-Synthesis Ferroelectric Thickness Optimization for NCFET Circuits," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 10, pp. 4299-4309, 2021.
- [18] Y. Liang, Z. Zhu, X. Li, S. K. Gupta, S. Datta, and V. Narayanan, "Utilization of Negative-Capacitance FETs to Boost Analog Circuit Performances," *Ieee T Vlsi Syst, Articlevol.* 27, no. 12, pp. 2855-2860, 2019 DEC. 2019.
- [19] G. Paim et al., "On the Resiliency of NCFET Circuits Against Voltage Over-Scaling," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 68, no. 4, pp. 1481-1492, 2021.
- [20] H. Eslahi, T. J. Hamilton, and S. Khandelwal, "Small signal model and analog performance analysis of negative capacitance FETs," *Solid State Electron*, vol. 186, pp. 108161, 2021/12/01/. 2021.
- [21] D. Reis, M. Niemier, and X. S. Hu, "Computing in memory with FeFETs," *I Sympos Low Power E*, pp. 134-139, 2018.
- [22] X. Z. Yin, K. Ni, D. Reis, S. Datta, M. Niemier, and X. B. S. Hu, "An Ultra-Dense 2FeFET TCAM Design Based on a Multi-Domain FeFET Model," *Ieee T Circuits-Ii*, vol. 66, no. 9, pp. 1577-1581, Sep. 2019.
- [23] A. F. Laguna, M. Niemier, and X. S. Hu, "Design of Hardware-Friendly Memory Enhanced Neural Networks," *Des Aut Test Europe*, pp. 1583-1586, 2019.
- [24] Y. Hong, Y. Choi, and C. Shin, "NCFET-Based 6-T SRAM: Yield Estimation Based on Variation-Aware Sensitivity," *IEEE Transactions on Electron Devices*, vol. 8, no. 1, pp. 182-188, 2020.
- [25] C. Liu et al., "Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>-Based Ferroelectric Field-Effect Transistors With HfO<sub>2</sub> Seed Layers for Radiation-Hard Nonvolatile Memory Applications," *Ieee Transactions on Electron Devices*, vol. 68, no. 9, pp. 4368-4372, Sep. 2021.
- [26] C. Mitchell, C. L. McCartney, M. Hunt, and F. D. Ho, "Characteristics of a Three-Transistor DRAM Circuit Utilizing a Ferroelectric Transistor," *Integr Ferroelectr, ArticleProceedings Papervol.* 157, no. 1, pp. 31-38, 2014. 2014,.
- [27] G. Hota and A. Raychowdhury, "A Time-based ADC for Read-Modify-Write in Ferroelectric-FET Based Pseudo-Crossbar Arrays," *Asia Pac Conf Postgr*, pp. 9-12, 2019.

版权声明: ©2023 作者与开放获取期刊研究中心(OAJRC)所有。本文章按照知识共享署名许可条款发表。

<http://creativecommons.org/licenses/by/4.0/>



OPEN ACCESS