

负电容场效应晶体管最新研究进展

李恒辉^{1,2}, 张冲^{2,3}, 于子苇², 郭全胜³, 刘丽霞², 贾婷婷^{2*}, 于淑会²

¹东南大学 江苏南京

²中国科学院深圳先进技术研究院 广东深圳

³湖北大学 湖北武汉

【摘要】万物互联、人工智能等新兴技术对运算和存储提出了更高的要求，然而传统金属氧化物半导体场效应晶体管（MOSFET）由于玻尔兹曼限制其亚阈值摆幅（SS）无法降至 60 mV/dec 以下。因此其性能即将到达瓶颈而摩尔定律也面临着失效的风险。负电容场效应晶体管（NCFET）可以突破玻尔兹曼限制并将 SS 降低到 60 mV/dec 以下，从而极大地改善了晶体管的开关电流比，有效解决了晶体管低功耗和高性能之间的矛盾。为晶体管特征尺寸的缩减和摩尔定律继续前进提供了选择。基于 FeFET 的非易失性存储器也为雪崩式增长的存储需求提供了解决方案。本文分析总结了近两年以来关于 NCFET 的代表性研究进展，为进一步研究提供参考。本文首先介绍了当前 MOSFET 发展所面临的问题以及解决办法；接着分析总结了铁电材料的基本性质和分类，并阐述了铁电材料负电容的物理机制和 NCFET 工作原理；然后对近年来 NCFET 结构，沟道材料，铁电材料，存储器和电路设计这五个研究方向的代表性研究进展进行简要介绍；最后作出总结与展望。

【关键词】NCFET；铁电存储器；铁电材料；负电容

【基金项目】国家自然科学基金(51702351, 11802318)；广东省区域联合基金重点项目(2020B1515120019)；深圳市基础科技计划(JCYJ20170413152832151, KQTD20170810160424889)

Recent research progress of negative capacitance field effect transistor

Henghui Li^{1,2}, Chong Zhang^{2,3}, Ziwei Yu², Quansheng Guo³, Lixia Liu², Tingting Jia^{2*}, Shuhui Yu²

¹Southeast University, Nanjing, Nanjing Jiangsu, China

²Shenzhen Institute of Advanced Technology, Chinese Academy of Sciences, Shenzhen, Guangdong, China

³Hubei University, Wuhan, Hubei, China

【Abstract】The Internet of thing, artificial intelligence and other emerging technologies put forward higher requirements for computing and storage. However, subthreshold amplitude (SS) of traditional metal oxide semiconductor field effect transistor (MOSFET) cannot be reduced to sub 60 mV/dec, which is termed as Boltzmann's tyranny. Thus, its performance is about to reach a bottleneck and Moore's Law is at risk of failure. The negative capacitance field effect transistor (NCFET) can break down the Boltzmann's tyranny and reduce SS to sub 60 mV/dec, which greatly improves the ratio of On-current to Off current (I_{on}/I_{off}) and effectively solves the contradiction between low power consumption and high performance of transistors. Non-volatile memory based on FeFET also provides splendid solution to the explosive increase of storage requirements. Thus, NCFET is one of the most competitive candidates to reduce the feature size of transistor and help Moore's law to continue its way. In this paper, the representative research progresses on NCFET in recent two years are analyzed and summarized, which provides reference for further research. This paper first introduces the problems of current MOSFET development and several potential solutions to them; Secondly, the basic properties and classification of

*通讯作者：贾婷婷

ferroelectric materials are summarized and introduced. Thirdly, the physical mechanism of negative capacitance of ferroelectric materials and the principle of NCFET are described. Then, the representative research progresses in NCFET structure, channel materials, ferroelectric materials, memory and circuit design in recent years are briefly introduced, respectively. Finally, a summary and outlook are made.

【Keywords】 NCFET; FeFET; Ferroelectric materials; Negative capacitance

1 引言

万物互联, 人工智能, 机器学习等新兴技术的时代即将到来。数据呈现爆炸式增长, 这些数据需要分配、存储、计算和分析等, 以收集其最有价值的信息。它的核心将是技术和系统的创新, 对计算, 存储和功耗等提出了新的要求[1]。半个多世纪以来, 集成电路行业遵循摩尔定律迅猛发展。集成电路基本单元金属氧化物半导体场效应晶体管(MOSFET)的特征尺寸缩减使晶体管密度快速增长。尺寸缩减还使得MOSFET运行速度加快, 性能增强, 同时成本和功耗降低。尺寸缩减主要方式为等比例缩减和等效缩减。等比例缩减主要遵循恒定电场原则, 通过等比例缩小沟道宽度(C_W)和长度(C_L)等尺寸参数以及阈值电压(V_{th})、电源电压(V_{dd})和过驱动电压等电学参数在尺寸缩减的同时保证其性能[2]。等效缩减即通过新兴技术等效缩减器件参数。主要技术包括: 90 nm节点引入的应力硅[3]技术提高了载流子迁移率从而增大了晶体管开启时的导通电流(I_{on}); 45 nm节点引入的高介电常数(HK)栅介质层[4]以及金属栅工艺降低了晶体管关闭时的泄露电流(I_{off}); 22 nm节点引入的绝缘体上硅(FDSOI)[5]技术和鳍形场效应晶体管(FinFET)[6]显著改善了短沟道效应(SCE)[7]带来的诸多问题。5nm节点及以下将采用环栅场效应晶体管(GAAFET)[8], 纳米线晶体管(NWFET)[9]和纳米片晶体管(NSFET)[10]等技术。然而上述技术对于摩尔定律的推动势头即将消耗殆尽。如何在后摩尔时代推动集成电路继续沿着摩尔定律蓬勃发展, 成为整个半导体行业不得不面临的挑战。

高性能和低功耗是集成电路发展不变的追求, 然而在栅极电压(V_g)对漏极电流(I_d)控制能力不变的情况下, 驱动电压的不变甚至等比例缩小必然导致开关电流比(I_{on}/I_{off})的减小, 如图1所示, 导致逻辑混乱等一系列问题。因而增强 V_g 对 I_d 控制能力即亚阈值摆幅(SS)[11]是解决这一问题的关键所在。SS指的是 I_d 每增大十倍所需要最小 V_g 。

2017年的国际器件与系统路线图(IRDS)指出, 2033年, 晶体管的特征尺寸须缩减至2 nm, 而SS应当降至40 mV/dec以下才可满足对高集成度低功耗器件的需求[12]。而传统MOSFET沟道中载流子服从玻尔兹曼分布, 室温下SS无法降低到60 mV/dec以下, 因此探索具有陡峭SS的新型低功耗晶体管是延续摩尔定律的必然要求。

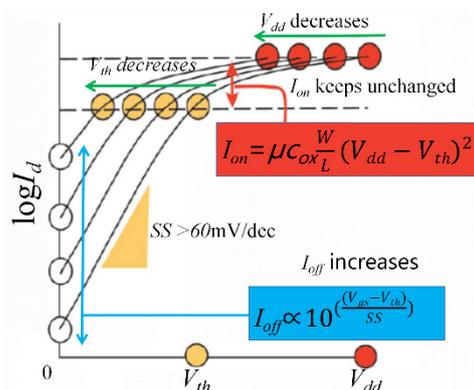


图1 MOSFET尺寸缩减简单示意图

目前能够实现陡峭SS的新型低功耗晶体管主要有: (1) 隧穿场效应晶体管(TFET)[34], 通过改变 V_g 调控齐纳二极管能带结构和载流子隧穿几率来实现沟道开启和关闭。然而硅禁带宽度较大且为间接带隙半导体, 兼容当前集成电路工艺的硅基TFET驱动能力与当前主流集成电路的应用需求尚存在差距。(2) 自旋金属氧化物场效应晶体管(SpinMOSFET)[13], SpinMOSFET开启与关断由沟道电子自旋方向决定。源漏极提供载流子的同时, 还具有铁磁性, 当沟道电子的自旋方向被 V_g 调控至与漏极的自旋方向一致时, 大量载流子通过形成电流, 否则无电流形成, 即沟道关断。然而铁磁金属的电极与沟道之间存在较大的接触电阻, 并且 V_g 对电子自旋角度调控能力尚无法满足应用需求, 因此该晶体管的性能不够理想。(3) 狄拉克源(Dirac-source)场效应晶体管[14], 将态密度与能量呈负相关的狄拉克源作为晶体管的源极, 因此沟

道载流子可以突破玻尔兹曼统计分布的限制, 从而实现陡峭 SS。然而目前狄拉克源的主要材料为石墨烯, 其成本高昂且不兼容当前硅基集成电路制造工艺。上述三种晶体管通过优化载流子运输、收集和供应等方式实现了陡峭 SS。但受制于种种因素, 目前均无法实现大规模应用。

得益于铁电材料的负电容效应 (NC) [15], 负电容场效应晶体管 (NCFET) 具有陡峭 SS[16], 且铪基铁电材料 (HfO₂) [17, 18] 已被证明与当前硅基工艺兼容。2021 年, Ming-Yen Kao 等人对 NC-GAAFET 的仿真研究表明 NC-GAAFET 在 V_{dd} 仅为 0.5 V 时仍具有 10^6 的 I_{on}/I_{off} 。这表明 NCFET 能使得 V_{dd} 缩减至 0.5 V 以下[19]。Sameer Yadav 等通过仿真得到了 SS 低于 10 mV/dec 的 NCFET[20], 此前也已经有多位学者通过仿真或者实验得到了 SS 低于 10 mV/dec 的 NCFET[21, 22]。此外, 铁电场效应晶体管 (FeFET) 能够实现高密度且低功耗的非易失性存储器, 是目前存储需求雪崩式增长的有效解决方案之一[23]。由于 FeFET 可以实现存储内逻辑运算, 寻址等操作[24]。所以 FeFET 在人工智能[25], 神经网络等方向也有广阔的应用前景[26-29]。因而 NCFET 被认为是后摩尔时代集成电路继续发展最主要的研究方向。本来接下来分析总结了铁电材料的基本性质和分类, 并阐述了铁电材料负电容的物理机制和 NCFET 工作原理, 然后对近年来 NCFET 结构, 沟道材料, 铁电材料, 存储器和电路设计这五个研究方向的代表性研究进展进行简要介绍, 最后作出总结与展望。

2 铁电材料

2.1 铁电材料基本性质

在适当温度范围内, 晶体会在特定方向上产生自发极化, 使晶胞中的正负电荷中心沿该方向产生相对位移导致正负电荷中心不重合, 形成电偶极矩, 外界电场的变化将改变自发极化的大小和方向。此类晶体称为铁电体 (ferroelectrics) [30]。铁电材料的极化 (P) 和电场强度 (E) 之间的关系可表示为电滞曲线。当 E 为 0 时, 铁电材料的 P 不为 0, 称为剩余极化 (P_r)。矫顽电场 (E_c) 指的是使 P_r 完全消失所需的 E 。初始状态时, 内部的电偶极矩随机排列因此 P 相互抵消, 对外呈现的 P 为 0。施加电场时, 部分电偶极矩开始沿着 E 的方向排列, 相

互抵消的 P 减少, 对外呈现的 P 增大。若所有电偶极矩方向均与 E 的方向一致时, P 不随 E 增大而增大, 达到饱和。撤去外电场时, 铁电体内部仍存在 P_r 。当 E 反向增大时, 部分电偶极矩开始反转, P 减小。当 E 为 E_c 时, 铁电体内部的电偶极矩方向随机排列, P 相互抵消, 此时对外呈现的 P 为 0。若 E 继续反向增大, P 将反方向饱和[31], 如图 2 所示。由于晶体的构型是温度 (T) 的函数, 因此晶体的 P 必然随温度变化。对于铁电体来说, 存在一个临界温度 (T_c) 使得当温度低于 T_c 时, 晶体结构为铁电体结构; 当温度高于 T_c 时, 晶体结构为无自发极化的顺电体[32]结构, 称 T_c 为居里温度。居里温度和电滞回线是铁电体最典型的宏观特征。

2.2 铁电材料分类

(1) 传统无机铁电材料包括钙钛矿型铁电体, 酸锂型铁电体, 青铜矿型铁电体和铋层状钙钛矿结构铁电体。传统无机铁电体其铁电性来源于晶格结构的不对称性。通常具有较高的 T_c 、优异的抗疲劳特性和较大的自发极化。因此适用于依靠极化存储的非易失性铁电存储器。然而其较高的薄膜沉积温度和电滞回线矩形度较差尤其是与当前 CMOS 工艺兼容性差等缺点使得其商业化进程缓慢[33-35]。

(2) 有机铁电材料分子含有的手性分子基团使得正负电荷中心不重合, 从而表现出自发极化的特性。有机铁电材料沉积温度较低, 且不与无机半导体衬底发生化学反应, 因此与无机半导体兼容性良好。并且还具有一定的生物兼容性, 高化学稳定性和丰富的衍生合成物等其它类型铁电体所不具备的优势。其主要缺点为自发极化不足和较低的 T_c , 大规模应用仍需进一步探究和改善[36, 37]。

(3) 范德华类层状二维铁电材料由于层间的电子转移导致其在垂直方向上具有铁电性, 并且自发极化方向也可以通过外部电场调控。这一类材料由于只需要几个分子薄层就能表现出铁电性能, 有利于 NCFET 的集成度的提高和尺寸进一步缩减。然而受制于较低的 T_c , 此类铁电材料的应用仍然需要进一步研究[38, 39]。

(4) HfO₂ 基铁电材料是新型铁电材料[40]。本征 HfO₂ 常见的三种晶体结构单斜相、非极性四方相和立方相均无自发极化。对于掺入杂质的 HfO₂ 薄膜, 对其加热, 使其晶体结构变为四方相,

在降温过程中可形成具有特殊极性方向的正交相, 从而表现出铁电性。该类铁电材料具有较高的 P_r 和 T_c 以及良好的 CMOS 工艺兼容性。另外 HfO₂ 材料具有较高的介电常数且与半导体材料界面性能较为理想。因此被认为是最具潜力的铁电材料[17, 41, 42]。

2.3 负电容效应

铁电材料的吉布斯自由能 U [43] 与 P 的关系由式 (1) 给出, 其曲线如图 4 所示。

$$U = \alpha P^2 + \beta P^4 + \gamma P^6 - EP - g|\nabla P|^2 \quad (1)$$

其中 α 、 β 和 γ 为铁电材料的各向异性参数, E 为施加在铁电薄膜上的电场强度。理想的铁电材料内部极化均匀且畴与畴之间不存在作用力, 考虑非理性情况时, 畴与畴之间的非均匀极化和相互作用不可忽略。式 (1) 中最后一项即代表畴与畴之间的极化不均匀性和相互作用。铁电材料的动力学特性由 Landau-Khalatnikov (L-K) 方程[44]描述, 如下式 (2) 所示:

$$\rho \frac{\partial P}{\partial t} + \frac{\partial U}{\partial P} = 0 \quad (2)$$

其中 ρ 为材料自身决定的极化阻尼参数, t 为时间。联立式 (1) 和 (2) 可得铁电材料的 P - E 关系[45], 如式 (3) 所示, 对应的 P - V 曲线如图 2 所示。

$$E = 2\alpha P + 4\beta P^3 + 6\gamma P^5 - 2g\Delta P + \rho \frac{dP}{dt} \quad (3)$$

铁电材料的 α 通常 < 0 , β 可能为正 (T2 型材料) 也可能为负 (T1 型材料), $\gamma \geq 0$ 。

根据 P_r 和 E_C 的定义并结合式 (3), 由 α , β , γ 不难得出 P_r 和 E_C 的表达式。若 $\beta > 0$, γ 项可以忽略, 对于静态单畴铁电材料而言, P_r 和 E_C 分别由式 (4) 和 (5) 给出。

$$|P_r| = \sqrt{\frac{|\alpha|}{2\beta}} \quad (4)$$

$$|E_C| = 2|\alpha| \left[\frac{1}{3} - \sqrt{\frac{|\alpha|}{6\beta}} \right] \quad (5)$$

若 $\beta < 0$, 则关于 P_r 和 E_C 表达式略微复杂, 如式 (6) 和 (7) 所示[46]。

$$|P_r| = \sqrt{\frac{|\beta| + (|\beta| + 3|\alpha|\gamma)^{\frac{1}{2}}}{3\gamma}} \quad (6)$$

$$|E_C| = E \left[\left(\frac{|\beta| + \sqrt{|\beta|^2 + \frac{20}{3}|\alpha|\gamma}}{5\gamma} \right)^{\frac{1}{2}} \right] \quad (7)$$

电容 (C) 通常被定义为 $C=dQ/dV$ 或 $C=dQ^2/d^2U$, 其中 Q 为电荷。由式 (1) 和 (3) 易得在一定电压范围内铁电材料表现出典型的 NC 效应, 如图 2 和 4 所示。然而铁电材料的 NC 效应无法通过简单施加电压激励观察到, 这是由于电源两端屏蔽电荷对于极化过程所需的电荷具有补偿作用。在电源与铁电材料之间串联具有正阻抗的非铁电因子能削弱这种补偿作用。极化电荷产生的附加电场方向始终与外电场相反并削弱极化。这种与外加电场相反的退极化场使得铁电材料呈现出极化增强而电压下降的 NC 现象[47]。

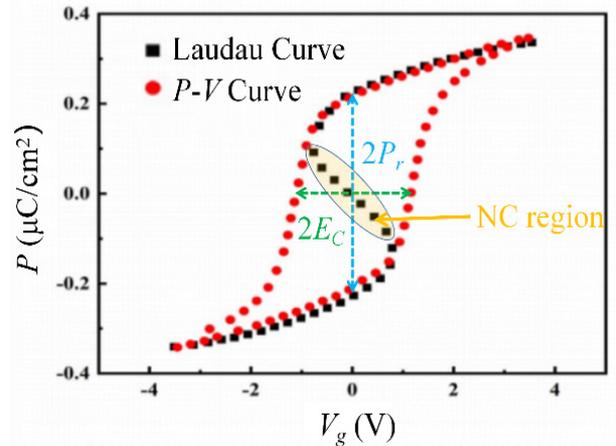


图 2 铁电材料的 P - V 曲线和朗道曲线

2.4 铁电材料的非理想特性

铁电材料的非理想特性主要包括: (1) 泄漏电流, 铁电材料在外部电场的作用下, 其内部载流子 (主要电子) 会产生位移, 从而形成泄漏电流。(2) 极化衰减, 当外加电场为 0 时, P_r 随着时间推移会不断减小甚至完全消失。(3) 印记, 铁电材料的电滞曲线可能不是中心对称的, 而是在电压或者电场方向存在偏移。(4) 疲劳, 经过多次的极化翻转, 铁电材料的 P_r 减小。一般认为这是由于界面效应和体效应导致的。(5) 老化, 铁电材料的性能随着时间的推移而逐渐变差。(6) 铁电薄膜与其它材料的界面不是理想的, 可能会存在界面态陷阱等。上述非理性特性显著影响 NCFET 的性能[48]。

3 NCFET

3.1 NCFET 基本原理

沟道表面电势 (V_{int}) 是决定 NCFET 工作状态的的决定性因素。NCFET 等效电路简单示意图如图 3 所示, 由叠加原理, 可得 V_{int} 的表达式如式 (8) 所示。

$$V_{int} = \frac{C_{fe}V_g + C_{gdo}V_d}{C_{gdo} + C_{gso} + C_{fe} + C_s} \quad (8)$$

$$V_{int} = A_g V_g + A_d V_d \quad (9)$$

$$A_g = \frac{\partial V_{int}}{\partial V_g} = \frac{C_{fe}}{C_{fe} + C_{int}} = 1 + \frac{C_{int}}{|C_{fe}| - C_{int}} \quad (10)$$

$$A_d = \frac{\partial V_{int}}{\partial V_d} = \frac{C_{gdo}}{C_{fe} + C_{int}} = -\frac{C_{gdo}}{|C_{fe}| - C_{int}} \quad (11)$$

栅极电压放大系数 (A_g) 和漏极电压 (V_d) 对沟道表面电势的耦合因子 (A_d) 分别由式 (10) 和 (11) 给出。式 (8) 可以进一步简化为式 (9), 这表明 V_{int} 主要由器件结构以及 V_g 和 V_d 决定。当 $|C_{fe}| > C_{int}$ 时, 由式 (10-11) 易知 $A_g > 1$ 而 $A_d < 0$ 。因此 NCFET 具有传统 MOSFET 所不具备的优异性能, 主要体现在以下几个方面。

(1) 陡峭 SS

SS 可由式 (12-14) 给出。

$$SS = \frac{\partial V_g}{\partial \lg I_d} = \frac{\partial V_g}{\partial V_{int}} \times \frac{\partial V_{int}}{\partial \lg I_d} \quad (12)$$

$$SS = \ln 10 \times \left(1 + \frac{C_{int}}{C_{ox}}\right) \times \frac{KT}{q} \quad (13)$$

$$SS = \ln 10 \times m \times n \quad (14)$$

其中 C_{ox} 为栅极氧化物电容, C_{int} 为 NCFET 本征体电容, q 为电子电荷量, k 为玻尔兹曼常数, T 为温度, V_{int} 为沟道表面电势, m 和 n 分别指的是体效应系数和传输因子。 C_{int} 和 C_{ox} 均 > 0 , 因此 $m > 1$ 。T 为 300 K 时, 热电压 KT/q 约为 26 mV, 导致传统 MOSFET 的 SS 在常温下大于 60 mV/dec。由式 (13) 可知, 若 C_{ox} 被 C_{fe} 取代且 $|C_{fe}| > C_{int}$, 则有 $m < 1$ 成立, 所以 NCFET 的 SS 可以突破玻尔兹曼统计分布限制而低于 60 mV/dec。2020 年, Xiuyan Li 等提出了一种分析陡峭 SS 的模型, 该模型主要聚焦于电畴翻转动力学之外的泄漏效应来阐明陡峭 SS 对时间的依赖性。目前已有多位学者研究出 SS 低于与 10mV/dec 的 NCFET[21, 22]。

(2) 栅极电压放大效应和负微分电阻效应

A_g 与 m 互为倒数, 则 NCFET 的 $A_g > 1$, 即所谓的栅极电压放大效应 (GVA) [49, 50]。该效应使得 NCFET 拥有更低的 SS 和更大的 I_{on} , 这对于高性能低功耗电路设计是十分有利的。源漏极之间的电场强度随 V_d 增大而增大, I_d 也随之增大。然而在 NCFET 结构中, 若 $|C_{fe}| > C_{int}$, 由式 (11) 得 $A_d < 0$, 当 V_d 足够大时, 由式 (9) 可知, V_{int} 必然随之显著降低, 这将导致 I_d 随 V_d 的增大而减小的负微分电阻效应 (NDR)。相关研究指出, 随着 V_d 增大, 漏极附近局部导带能量增加导致了 NDR 和反向漏致感应势垒降低 (R-DIBL) 效应[51]。2019 年, CHENGJI JIN 等基于极化动态翻转的铁电模型进行仿真, 他们研究了铁电场效应晶体管 (FeFET) 的瞬态转移特性和输出特性。此外, 还基于瞬态负电容 (TNC) 理论详细讨论了 R-DIBL 和 NDR 的作用机理[52]。NDR 效应可能导致数字电路逻辑混乱, 但其 R-DIBL 效应[53]能够抑制短沟道效应从而实现较为理想的输出特性且有利于尺寸缩减。此外, NDR 在高频振荡器[54], 反馈放大器和存储器[55, 56]等电路均具有广阔的应用前景。

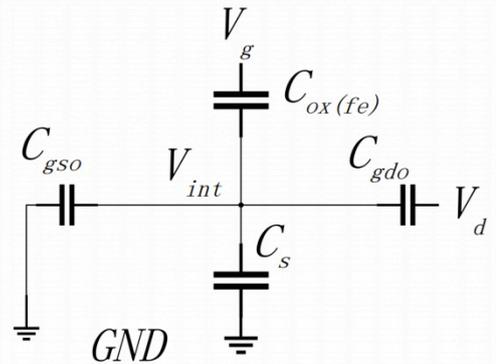


图 3 NCFET 等效电路

3.2 电容匹配

与正电容材料 ($U-Q$ 曲线为开口向上的抛物线) 不同, 铁电材料的 $U-Q$ 能带图为双势阱结构, 存在 2 个能量最小值, 即两个稳定状态然而该稳定状态却不具有 NC 效应。铁电材料的 NC 效应无法单独存在, 这是由于当铁电材料工作在 NC 区域时其能量并不是最低的, 如图 4 所示。因此很容易从不稳定的 NC 区域跳转至两个稳定状态中的一个。相关研究表明不稳定的 NC 状态可以通过串联合合适的正

电容 (C_{DE}) 使整个串联系统稳定。当 $|C_{fe}| > C_{DE}$ 时, $U-Q$ 曲线仅在 Q 为 0 处存在最小值, 即达到稳定的工作状态。电容匹配[57]程度将显著影响 NCFET 性能。尽管串联系统整体对外呈现正电容, 但对于相同的 Q 该系统所需 U 仍较低, 这是 NCFET 能够同时实现高性能和低功耗的根本原因, 如图 4 所示。当忽略 P 随薄膜厚度 (T_{fe}) 的变化时, 负电容绝对值 $|C_{fe}|$ 由式 (15) 给出。在 NCFET 中, 合适的本征电容 (C_{int}) 即可使得负电容稳定。相关研究指出多层的铁电薄膜结构有利于改善匹配程度[58]。

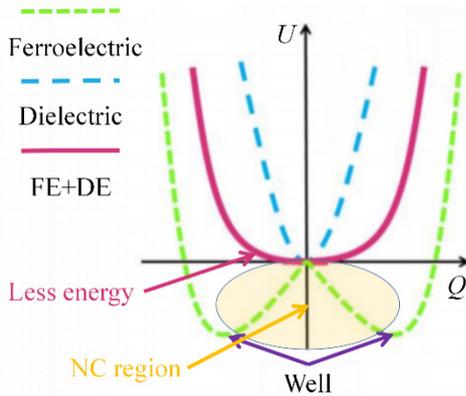


图 4 铁电材料、介电材料以及铁电与介电材料串联系统的 $U-Q$ 曲线。

$$|C_{fe}| = A_{fe} \frac{2P_r}{3\sqrt{3}E_c T_{fe}} \quad (15)$$

4 最新研究进展

4.1 NCFET 结构

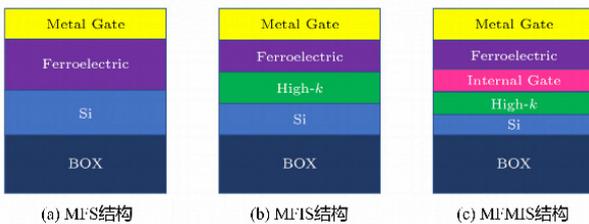


图 5 NCFET 三种常见结构简单示意图

最初的 NCFET 是将传统 MOSFET 的栅介质直接替换为铁电薄膜, 即 MFS 结构, 具有结构简单的优点。但铁电薄膜与沟道之间的界面问题严重限制了 NCFET 性能, 为改善 NCFET 的界面问题, 随后人们提出在铁电薄膜和半导体之间加入一层传统栅介质层, 即 MFIS 结构。然而铁电材料的多畴结构使得其容易受到 V_d 的干扰从而导致极化不均匀。

MFIS 结构[59, 60]能有效解决上述问题。与 MFIS 结构相比, MFMIS 结构在铁电薄膜和栅介质之间多了一层金属, 由于金属是等势体, 因此铁电薄膜的极化是均匀的。相关研究表明随着 C_L 的缩短, I_{off} 减小, V_{th} 增加, 陡峭 SS 和 R-DIBL 等现象在 MFMIS 结构中更加明显。但如果 C_L 小于 20 nm, 中间层金属的制作工艺难以实现, 且当 V_d 较大时, MFMIS 结构 I_{on} 较小[61], 三种结构的简单示意图如图 5 所示。众多研究表明, NC 与 TFET[62], FinFET[63], GAAFET[8], NWFET[9]和 NSFET[10]和 FDSOI[64]等技术的结合将进一步增强性能。最新的部分 NCFET 结构创新如下所示。

(1) 在 NCFET 中, 铁电材料通常被用作栅介质。而挡板多为氮化硅等材料[65]。2021 年, Vibhuti Chauhan 等首次提出将铁电材料作为 NC-FinFET 的栅与源漏之间的挡板使用。他们发现铁电材料作为源极挡板能显著增强源拓展区附近的栅控能力, 因而 I_{on} 显著增强。而铁电材料用作漏极挡板将增强 NDR 效应。另外他们还指出, 类似于将铁电材料用作栅介质, 铁电材料应用于挡板也需要保证电容匹配才能有较好的性能[66]。

(2) 2021 年, Om Prakash 等创新性地提出了一种通过调节沟道扩展区长度来抑制 NDR 效应的结构。通过综合调整该结构的沟道扩展区长度和 T_{fe} 能够显著提升 NCFET 性能。这种提升主要得益于 NDR 与 SCE 相互抑制从而提高输出阻抗。电路仿真表明共源极放大器的本征增益和电流镜的匹配度均有显著提升[67]。

(3) 2020 年, Kitae Lee 提出了一种用于存储器的新型 FeFET, 其沟道为半圆形且向内嵌入衬底, 该结构大幅增强了栅控能力。通过校准的有限元参数的 TCAD 模拟, 发现与普通结构相比, 该结构具有更宽的存储窗口和更快的写入与擦除速度, 但需要足够长的脉冲施加时间或高电压脉冲来获得较大的极化以提高鲁棒性, 该研究成果为 FeFET 的进一步性能提升和结构优化提供参考[68]。

(4) 2021 年, Shaoxi Wang 等提出了一种新型的 U 型负电容隧穿场效应晶体管 (NCDU-TFET), 仿真结果表明, 该晶体管性能远优于普通 NC-TFET, 理论上达到了 10^9 的 I_{on}/I_{off} 和 17mV/dec 的 SS。这表明 U 型沟道结构和 NC 效应能够有效解

决传统 TFET 驱动能力不足的问题, 该成果为高性能低功耗 NCFET 的设计和优化提供了参考[69]。

(5) 2021 年, Khalil Tamersit 等人对无结铁电环栅碳纳米晶体管 (NCJL-CNTFET) 的模拟和射频性能进行研究。这些性能包括跨导, 跨导效率, 特征频率, 栅极电容, 输出阻抗等。研究表明, 与其它普通结构相比, 上述性能均有不同程度的增强。此外调整介电常数和栅极功函数可以进一步增强器件的模拟与射频性能[70]。

(6) 2021 年, Sandeep Semwal 等提出一种用于分析圆柱形负电容纳米线晶体管 (NW-NCFET) 非传统效应的模型。他们考虑了圆柱形沟道导致的铁电负电容沿着径向的分布变化, 使得模型与实验数据良好吻合。基于该模型对该晶体管的 GVA, NDR 等效应的机理进行深入研究。此外, 在转移性能相同时, 与 Gd-HfO₂, Y-HfO₂ 和 HZO 铁电薄膜相比, Al-HfO₂ 铁电薄膜所需的厚度最小[71]。

4.2 沟道材料

硅是目前主流的半导体材料。然而硅较小的禁带宽度和电子迁移率等限制了其性能的提升。此外硅与铁电材料的界面不够理想限制了其在 NCFET 尤其是非易失性存储器中的应用。相比之下, 其它半导体材料具有优异的性能, 例如 Ge 和 HZO 界面较为清洁、且无氧化物, 还能进一步通过掺入锡元素引入应力从而进一步提高空穴迁移率。所以 Ge 是制作 FeFET 非易失性存储器件的理想材料之一[72]。因此寻找性能优异的新型半导体材料代替传统硅半导体具有十分重要的意义, 众多研究者围绕新型半导体材料在 NCFET 中的应用展开研究。部分相关最新研究进展如下文所示。

(1) 4H-SiC 是一种具有宽带隙 (3.26 eV)、高导热率 (4.9 W/cm·K)、高击穿电场 (4 MV/cm)、低介电常数 (9.7)、高电子饱和迁移率 (2×10^7 cm/s) 等优异性能的半导体。2021 年, Dariush Madadi 等人对圆柱形环栅纳米线无结晶体管 (GAA-NWJL) 进行仿真, 该晶体管沟道采用 4H-SiC 材料。仿真结果表明当 C_L 小于 20 nm 时, 该晶体管仍具有优异的性能。DIBL 效应仅为 21 mV/V; 开关电流比达到 4×10^{13} ; 漏电流仅为 8×10^{-19} A。这表明 4H-SiC 材料是高性能低功耗 NCFET 器件的合适材料之一[73]。

(2) InGaAs 等 III-V 族化合物具有较高的电子迁移率。然而其较小的有效质量和低态密度导致了量子电容, 这在短沟道器件中更为显著。另外 III-V 族化合物与介质层之间的界面性能差和难以实现高浓度掺杂是目前尚未解决的问题。2019 年, Huang 等人基于 InGaAs 半导体材料对 NC-FinFET 中的量子电容效应进行了详细的仿真与研究。研究表明, 与 FinFET 相比, NC-FinFET 的 V_{th} 对 Fin 宽度变化敏感性更小。此外, 他们还提出并证明了一种具有更强内部 GVA 效应的器件结构, 该结构可以进一步降低 NC-FinFET 的 V_{th} 对 Fin 宽度变化的敏感性[74]。

(3) 由于非常薄的体积和较高的迁移率, IGZO 十分适合应用于三维器件。IGZO 是无结结构, 因此界面电荷陷阱较少。且栅极介质层和沟道界面的介电常数较低, 所以几乎没有压降, 有利于实现高密度低功耗的存储器应用。2020 年, FEI MO 等人设计并制造了具有超薄 IGZO 沟道的 FeFET。由于无结结构和近乎为零的界面态密度, 该器件表现出较低的 SS 和高沟道迁移率, 存储窗口也较为理想。通过控制顶部栅极电压可以完成存储器的读取和写入操作[75]。

(4) Ge 具有较高的空穴和电子迁移率, 且与目前硅基工艺兼容。但是其较低的禁带宽度 (0.66 eV) 和较高的介电常数 (16.0) 导致了较大的泄露电流, 因此短沟道效应更为明显, 这严重限制了 Ge 基集成电路性能。2021 年, Chong-Jhe Sun 等人基于 Hf0.5Zr0.5O₂ (HZO) 铁电薄膜制作 Ge-NC-GAAFET。该器件 SS 为 55 mV/dec, I_{on}/I_{off} 达到 10^6 。较高的 I_{off} 导致了较大的 SS 同时也使其难以应用于低功耗电路[76]。

(5) 硅材料中的空穴迁移率较低, 限制了 P 型 MOSFET 性能的提升。2020 年, Maximilian Lederer 等人以 CMOS 兼容的方式将基于 HfO₂ 铁电薄膜的 p-FeFET 集成到硅锗衬底上。迁移率得到提升同时综合性能也显著增强, 该 FeFET 实现了 1.1 V 的存储窗口。此外, 结构和电学表征表明, 退火温度对界面层以及 HfO₂ 铁电薄膜的材料性质和晶体结构有很强的影响[77]。

4.3 铁电材料

众多研究表明, 电容匹配度是决定 NCFET 性

能的关键。由式(15)可知, 负电容主要由铁电材料的参数决定, 这些参数主要包括 A_{fe} , T_{fe} , E_C 和 P_r 等。众多学者围绕铁电材料参数对 NCFET 性能的影响展开了研究, 部分相关最新进展论述如下。

(1) 2021 年, Yefan Liu 等研究了外部施加的平面机械应力对 HZO-FeFET 的影响。研究表明随着应力的增加, 存储窗口收缩, 电流发生显著变化。他们指出这是由于随着机械应力增大, 极化翻转所需要的能量减小了。此外他们还基于 TCAD 仿真工具建立相关模型, 仿真与实验结果有很好的 consistency [78]。该研究工作也为 NCFET 应用于传感器, 可穿戴设备等应用提供参考。

(2) 2021 年, Amol D. Gaidhane 等人基于铁电材料中偶极子间相互作用的正反馈机制分析了铁电材料中多畴和单畴结构对于 NCFET 性能的影响。研究表明, 与单畴结构相比, 多畴结构的 NCFET 其 I_{on} 较小, 且 NDR 效应较为明显 [79]。为提升 NCFET 综合性能, 应优化铁电材料制作工艺, 减少铁电材料内部畴数。Y. Xiang 等也对此进行了相关的建模和研究 [80]。

(3) 2021 年, Xiaolei Wang 等从理论上研究了铁电薄膜与栅极介质层间的界面电荷对 MFIS 结构 FeFET 去极化场的影响, 其中界面电荷包括固定电荷和陷阱电荷。他们发现正负界面电荷在一定密度时可以与铁电薄膜中去极化场的方向和相应的极化方向一致。界面电荷改变了栅极介质层的电场分布和铁电薄膜的电滞曲线, 因此界面电荷可在 V_g 为 0 时通过调节去极化场和相应的极化来调节存储器的性能 [81]。

(4) 2021 年, Tianyu Yu 等基于 NC-FDSOI 结构探究了铁电材料参数对 GVA 和 NDR 效应的影响。他们发现当 V_g 较小时, 相对小的 P_r 能增强 GVA 效应。而当 V_g 较大时, 相对大的 P_r 有利于增强 GVA 效应。此外, 若减小 P_r 和 E_C 的比例, 则 NDR 效应增强 [49]。2020 年, Tianyu Yu 等也进行了类似的研究 [82]。也有学者研究了各向异性参数对 NCFET 性能的影响。事实上, 各向异性参数与 P_r 和 E_C 之间的关系可由式(4-7)建立, 在此不再赘述。

(5) 2020 年, T. Ali 等探究了温度对于 FeFET 存储器性能的影响。研究表明, 随着温度升高, 存储窗口变小, 当温度上升至 120 度时, 存储窗口

显著变小, 这是由于温度影响了铁电材料晶体结构从而改变了铁电薄膜的 P_r 和 E_C 。他们还发现高温导致的界面陷阱使得存储器的数据保存时间缩短同时可无损坏读取数据的次数减少。温度对于极化稳定性的影响则相对较弱 [83]。该研究成果为高温下工作的 FeFET 存储器应用设计和优化等提供了参考。

(6) 2020 年, Shan Deng 等提出了基于铁电薄膜与半导体之间电荷匹配的 FeFET 性能优化方案。他们指出通过减小 P_r 和铁电薄膜的介电常数, 可以改进电荷匹配。这导致写入, 擦除和保存数据过程中半导体和铁电薄膜之间的电场减小, 因此延长了数据存储时间并改善记忆窗口, 此外还降低了工作电压和功耗。该研究成果为低功耗高性能 FeFET 存储器 [84]。

(7) 2019 年, Raheela Rasool 等提出了一种通过已知铁电材料参数预测 SS 的模型。当铁电材料的 P_r , E_C 和 T_{fe} 给定时, 通过该模型可以算出使用该负电容的 NCFET 理论上能达到的最低 SS。该模型为优异铁电材料的制备以及超陡峭 SS 和超低功耗的 NCFET 设计与性能优化提供了理论指导 [85]。

4.4 存储器

FeFET 的 V_{th} 显著依赖于铁电薄膜的极化状态导致 FeFET 的转移特性曲线具有回滞特性, 可用于区分不同的存储数据。两种极化状态对应的 V_{th} 之差定义为存储窗口, 在读取电压 (V_R) 偏置下两种存储状态的 I_d 之比定义为读取的噪声容限, 如图 6 所示。通过施加栅极脉冲并改变铁电薄膜极化状态可实现写入和擦除数据操作。 V_d 能够调节极化改变的难易程度, 这可实现存储器的寻址操作。另外脉冲撤去后铁电薄膜仍存在 P_r , 所以能实现数据的非易失性存储。综上可知, 其它存储器相比, FeFET 存储器省去了复杂的存储器写入及读取电路, 成本, 面积和功耗等大幅降低, 此外无需额外功耗来保持存储数据, 所以能够实现高密度低功耗的非易失性存储器 [86]。极化保存的时间决定了数据所能正确存储的时间。2020 年, Halid Mulaosmanovic 等提出了一种预测 FeFET 中极化退化的方法 [87]。2018 年, Ankit Sharma 等人提出了一种基于 FeFET 的存储器阵列, 成功实现了高密度低功耗且非易失性存储功能。每个存储单元仅由一个 FeFET 构成, 可以完成

写入, 擦除和寻址等操作。功耗, 面积, 成本等大幅降低[55]。

冯·诺伊曼体系结构中运算单元和存储单元的分离导致了不必要的能量消耗和速度不匹配, 这是集成电路性能提升的一个巨大障碍。铁电材料稳定的两个极化状态可以用于表示存储状态, 与传统晶体管的高密度集成不会影响 FeFET 的电学特性, 因此 FeFET 提供了一种非易失性存储器和逻辑运算电路共集成的良好解决方案, 可以实现存储内逻辑运算, 寻址等操作[24]。因此 FeFET 在人工智能[25], 神经网络等方向有广阔的应用前景[26-29], 下文列举了部分最新研究进展。

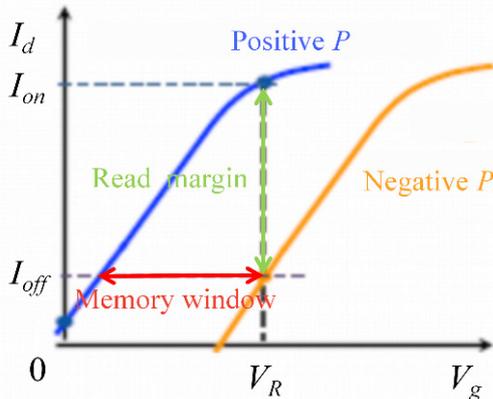


图 6 FeFET 存储器工作原理示意图

(1) 2021 年, Ramin Rajaei 等提出了一种多存储状态的内容可寻址存储器 (CAMs), 每个单元只使用一个 FeFET 和 3 个 FinFET 即可实现 3 位的数据存储。此外, 不需要预充电阶段就能进行搜索, 显著提高了数据存储密度和工作速度。基于通过实验校准的 22 nm FeFET 和 22 nm FinFET 模型的仿真表明, 与最先进的三位 CAM 设计相比, 搜索速度大幅提升并且功耗大大降低[88]。

(2) 2021 年, Sourabh Jindal 等通过 TCAD 模拟, 研究了 C_L 的变化对于 FeFET 的影响。他们发现, 由于源极和漏极之间存在横向电场, 铁电薄膜中的 P 存在横向不均匀性。横向电场对存储器写入和擦除数据的作用是相反的。随着 C_L 变小, 横向电场对器件中心的影响将更加显著。相比较而言, 对存储窗口的影响相对较小。此外写入过程栅极控制减弱, 而在擦除过程栅极控制增强。因此, 与擦除操作相比, 写入操作的 SS 更大[89]。

(3) 2021 年, Vita Pi-Ho Hu 等提出了一种新型分离栅极的 SG-FeFET 存储器, 该结构具有两个独立的外部栅极以动态调节非易失性存储器的存储窗口。在读取操作中, 仅其中的一个栅极施加电压, 降低铁电薄膜与栅氧化绝缘层面积之比 (A_{fe}/A_{il}), 存储窗口增大, 因此代表两种不同存储数据的电流之比增大, 这将提高读取操作的鲁棒性。在写入操作时, 两个栅极均施加电压以增加 A_{fe}/A_{il} , 从而降低存储窗口, 写入操作所需电压和功耗随之下降。该结构通过动态调节存储窗口的大小有效解决了低功耗与高性能之间的矛盾[90]。

(4) 2020 年, Evelyn T. Breyer 等提出与 (AND) 和异或 (XOR) 两种逻辑运算操作可直接在存储器内执行。所提出并设计的查找表 (LUTMUX)、1 位半加器和 1 位全加器的多路复用器可以在存储器阵列中或独立的应用程序中工作。由于结构非常简单, 成本、面积功耗等均大幅降低, 读出操作的能量消耗不超过 1.42 fJ (全加法器) 和 0.27 fJ (LUTMUX), 而操作速度至少为 1 GHz, 该设计可用于高速低功耗 CIM 电路[91]。

(5) 2020 年, Ava J. Tan 等基于 HZO 铁电薄膜和 SOI 结构设计的 FeCAM 具有较快的读写速度和较低的工作电压。论文详细介绍了 FeCAM 单元的操作原理, 并提出了一种实现存储内 XOR 操作和单时钟周期内容驱动搜索的架构。此外, 还分析了 HZO-FeFET 的固有存储特性[24]。

(6) 2020 年, Lan Liu 等将 PVDF 聚合物铁电薄膜和二硫化钼纳米片结合起来, 成功制造出一个水平方向上的双栅极铁电场效应晶体管 (HDG-FeFET) 器件。该器件可以实现存储内的 AND 操作运算。在逻辑操作过程中, 表示逻辑输出状态 1 和状态 0 的电流比接近 10^5 。900 秒后, 电流比仍能保持在 10^4 。该 FeFET 存储器具有较强的鲁棒性且存储的数据能够保持较长时间[38]。

4.5 电路设计

得益于 NCFET 的 GVA 效应, 与普通 MOSFET 相比, 在尺寸和掺杂浓度等相同的条件下, NCFET 具有更低的 SS, 更大的 I_{on} 、跨导 (G_m) 和更低的 I_{off} 等, 此外, NDR 和 R-DIBL 等效应还能够有效抑制 SCE 从而增大输出阻抗。因此, 与 MOSFET 相比, NCFET 在速度, 功耗, 线性度, 带宽等许多方

面具有明显优势。与 MOSFET 相比, 基于 NCFET 的许多电路例如加法器[44], D 触发器[92], 放大器和电流镜等均有明显优势[93]。下面是部分在 NCFET 电路设计方面取得的最新研究进展。

(1) 2019 年, Yuhua Liang 等人研究 NCFET 在模拟电路中的应用, 包括时域模拟信号到数字信号转换器 (ADC) 和锁相环电路 (PLL)。此外还提出并优化了一种新型的基于数字的时钟比较器和一种基于电容的电压到时间的转换器 (VTC), 这是 ADC 和 PLL 的基本组成模块。仿真结果表明, 与 MOSFET 相比, 综合性能显著提升, 此外基于 NCFET 的时钟比较器和 VTC 还具有更好的线性度。这种改进是利用陡峭 SS 和增加输出阻抗来实现的[94]。

(2) 2019 年, N. Zagni 等利用 NCFET 提供非线性电荷转化和抑制 Flicker 噪声从而显著提高经典玻尔兹曼传感器的信噪比。与传统硅基 NWFET 生物传感器相比, 信噪比高出两个数量级且灵敏度显著提高。此外, 他们还指出通过正确选择 HfO₂ 铁电薄膜的掺杂原子, 可以减小 T_{fe} , 以便进一步减小器件体积、成本和功耗等, 并提高稳定性。该研究成果对 NCFET 在传感器和低噪声电路等应用的研究具有重要参考价值[95]。

(3) 2020 年, Yuhua Liang 等分析了铁电薄膜的工艺变化对 NCFET 性能的影响。考虑因素包括 A_{fe} 的变化 (由于晶体管尺寸和边缘效应导致的变化)、 T_{fe} 、 P_r 和 E_C 等, 并评估这些因素对 NCFET 性能以及电路性能的影响。他们以五阶环形振荡器, 电流镜和锁存比较器电路为例, 分别以振荡频率, 匹配精度和输入偏移电压这三个指标来衡量其性能提升, 该研究成果为后续研究通过调节铁电材料参数提升 NCFET 电路性能具有十分重要的意义[50]。

(4) 2021 年, Jiali Huo 等对 7nm 的 NC-FinFET 进行仿真。他们通过调整功函数和 A_{fe} 减弱了 V_{th} 的漂移, 并对该器件的模拟性能进行研究。研究表明, 与无 NC 的 FinFET 相比, 环形振荡器延迟下降同时功耗降低 72%, 6T-STRAM 读写时间和静态功耗也显著降低。这表明 NC-FinFET (7nm) 能够较好地抑制短沟道效应, 从而可以应用于高性能模拟电路设计。基于高性能 NC-FinFET, 模拟电路的功耗、面积和成本等有望进一步缩小[96]。

(5) 模拟电路在处理交流输入信号时, 通常考虑交流小信号模型。2021 年, Hossein Eslahi 等提出了一种用于分析交流信号的 NCFET 小信号模型并基于该模型对增益, 带宽, 截止频率, 线性度等指标进行分析。分析指出, 与基于 MOSFET 的电路类似, 基于 NCFET 的电路其各项性能指标之间仍然存在矛盾与折中。例如, 若通过增大 T_{fe} 来增强本征增益, 则线性度会显著降低[97]。

(6) 2021 年, Weixing Huang 等对 R-DIBL 效应在模拟电路中的应用展开研究。发现 R-DIBL 效应不仅可用于抑制 SCE 从而实现较为理想的输出特性, 还可以利用该效应通过改变栅漏电容 (C_{gdo}) 实现多 V_{th} 器件。此外还发现 R-DIBL 效应使得 CMOS 反相器噪声容限增大, 使七级环形振荡器延时减小, 使得 6T-SRAM 保持和读取的静态噪声容限增大。他们还进一步给出了增大 R-DIBL 效应的方法以便利用该效应增强模拟电路性能[98]。

5 总结与展望

本文依次总结并分析了当前 MOSFET 发展所面临的问题以及解决办法、铁电材料的基本性质和分类。介绍了铁电材料负电容的物理机制和 NCFET 工作原理, 然后对近两年来 NCFET 结构, 沟道材料, 铁电材料, 存储器和电路设计这五个研究方向的代表性研究进展进行归纳与介绍, 最后作出总结与展望。总体而言, NCFET 能够实现超低 SS 且能满足高性能和低功耗的需求, 能够显著增强集成电路性能。为避免 SCE, 模拟/射频电路一般采用长沟道器件, 而 R-DIBL 等效能显著抑制 SCE。NCFET 使得短沟道器件应用于模拟电路成为可能。FeFET 能够实现低功耗高密度的非易失性存储器, FeFET 还能实现 CIM, CAM 等电路, 这些电路在人工智能、机器学习和神经网络等方向有广阔的应用前景。HfO₂ 基铁电材料虽然与现有 COMS 工艺兼容, 但仍存在诸多问题, 例如铁电材料的疲劳, 老化, 印记等, 这些严重阻碍了 NCFET 的商业化进程。但不可否认的是, NCFET 仍是下一代高性能低功耗集成电路最具潜力的研究方向。本文为进一步研究 NCFET 提供了参考。

参考文献

- [1] K. Lee, S. Kim, J.-H. Lee, D. Kwon, and B.-G. Park,

- "Analysis on Reverse Drain-Induced Barrier Lowering and Negative Differential Resistance of Ferroelectric-Gate Field-Effect Transistor Memory," *Ieee Electr Device L*, vol. 41, no. 8, pp. 1197-1200, 2020.
- [2] C. Jin, T. Saraya, T. Hiramoto, and M. Kobayashi, "Physical Mechanisms of Reverse DIBL and NDR in FeFETs with Steep Subthreshold Swing," *Ieee J Electron Devi*, vol. 8, pp. 429-434, 2020.
- [3] C. Jin, T. Saraya, T. Hiramoto, and M. Kobayashi, "Physical Mechanisms of Reverse DIBL and NDR in FeFETs with Steep Subthreshold Swing," *Ieee J Electron Devi*, vol. 8, pp. 429-434, 2020.
- [4] H. Amrouch *et al.*, "Impact of Variability on Processor Performance in Negative Capacitance FinFET Technology," (in English), *Ieee T Circuits-I*, vol. 67, no. 9, pp. 3127-3137, Sept 2020. *Electron Dev*, vol. 68, no. 3, pp. 1202-1206, 2021.
- [5] A. Sharma and K. Roy, "1T Non-Volatile Memory Design Using Sub-10nm Ferroelectric FETs," *Ieee Electr Device L*, vol. 39, no. 3, pp. 359-362, 2018
- [6] J. R. Zhou *et al.*, "Incomplete Dipoles Flipping Produced Near Hysteresis-Free Negative Capacitance Transistors," (in English), *Ieee Electr Device L*, vol. 40, no. 2, pp. 329-332, Feb 2019..
- [7] 肖长江, 窦志强, "钙钛矿铁电体在超高压下的相变研究进展," *人工晶体学报*, vol. 47, no. 01, pp. 194-199, 2018.
- [8] L. Qiao *et al.*, "Observation of negative capacitance in antiferroelectric PbZrO₃ Films," *Nat Commun*, vol. 12, no. 1, p. 4215, Jul 9 2021.
- [9] 陈大凯, 蔡苇, 周创, 吴红迪, 符春林, "Ca₃Ti₂O₇ 杂化非本征铁电体的制备及其掺杂改性研究进展," *电子元件与材料*, vol. 40, no. 10, pp. 983-989+1027, 2021.
- [10] W. W. Gao *et al.*, "Room-Temperature Negative Capacitance in a Ferroelectric Dielectric Super lattice Heterostructure," (in English), *Nano Lett*, vol. 14, no. 10, pp. 5814-5819, Oct 2014
- [11] Y. K. Lin *et al.*, "Spacer Engineering in Negative Capacitance FinFETs," (in English), *Ieee Electr Device L*, vol. 40, no. 6, pp. 1009-1012, Jun 2019.
- [12] V. Chauhan, D. P. Samajdar, N. Bagga, and A. Dixit, "A Novel Negative Capacitance FinFET with Ferroelectric Spacer: Proposal and Investigation," *IEEE Trans Ultrason Ferroelectr Freq Control*, vol. PP, Jul 19 2021.
- [13] O. Prakash, N. Chauhan, A. Gupta, and H. Amrouch, "Performance Optimization of Analog Circuits in Negative Capacitance Transistor Technology," *Microelectron J*, vol. 115, 2021.
- [14] K. Lee, J.-H. Bae, S. Kim, J.-H. Lee, B.-G. Park, and D. Kwon, "Ferroelectric-Gate Field-Effect Transistor Memory With Recessed Channel," *Ieee Electr Device L*, vol. 41, no. 8, pp. 1201-1204, 2020
- [15] S. Wang *et al.*, "Design of negative capacitance tunneling field effect transistor with dual-source U-shape channel, super-steep subthreshold swing and large on-state current," *Superlattice Microst*, vol. 155, 2021.
- [16] X. Wang *et al.*, "Impact of Charges at Ferroelectric/ Interlayer Interface on Depolarization Field of Ferroelectric FET With Metal/Ferroelectric/ Interlayer/Si Gate-Stack," *Ieee T Electron Dev*, vol. 67, no. 10, pp. 4500-4506, 2020..
- [17] T. Yu, W. Lü, Z. Zhao, P. Si, and K. Zhang, "Effect of different capacitance matching on negative capacitance FDSOI transistors," *Microelectron J*, vol. 98, 2020.
- [18] M.-Y. Kao *et al.*, "Optimization of NCFET by Matching Dielectric and Ferroelectric Nonuniformly Along the Channel," *Ieee Electr Device L*, vol. 40, no. 5, pp. 822-825, 2019.
- [19] 李珍, "负电容场效应晶体管器件模型及仿真研究," 硕士, 电子科技大学, 2020.
- [20] 李珍, 翟亚红, "铁电负电容场效应晶体管器件的研究," *压电与声光*, vol. 41, no. 06, pp. 782-785, 2019.
- [21] W.-X. You, P. Su, and C. Hu, "Evaluation of NC-FinFET Based Subsystem-Level Logic Circuits," *Ieee T Electron Dev*, vol. 66, no. 4, pp. 2004-2009, 2019.
- [22] "Electron Devices; Reports on Electron Devices Findings from University of California Provide New Insights (Proposal for Capacitance Matching In Negative Capacitance Field-effect Transistors)," *Electronics*

- Newsweekly*, 2019.
- [23] 潘奥霖, 杜爱民, "氧化铪基铁电场效应晶体管存储器研究进展," *半导体技术*, vol. 46, no. 10, pp. 745-753+800, 2021.
- [24] P. Wang *et al.*, "Drain-Erase Scheme in Ferroelectric Field-Effect Transistor—Part I: Device Characterization," *Ieee T Electron Dev*, vol. 67, no. 3, pp. 955-961, 2020.
- [25] W.-D. Liu, Z.-Y. Huang, J. Ma, Z.-W. Zheng, and C.-H. Cheng, "Impact of Series-Connected Ferroelectric Capacitor in HfO₂-Based Ferroelectric Field-Effect Transistors for Memory Application," *Ieee J Electron Devi*, vol. 8, pp. 1076-1081, 2020.
- [26] P. Lu *et al.*, "Source/Drain Extension Doping Engineering for Variability Suppression and Performance Enhancement in 3-nm Node FinFETs," *Ieee T Electron Dev*, vol. 68, no. 3, pp. 1352-1357, 2021.
- [27] H. Mulaosmanovic *et al.*, "Investigation of Accumulative Switching in Ferroelectric FETs: Enabling Universal Modeling of the Switching Behavior," *Ieee T Electron Dev*, vol. 67, no. 12, pp. 5804-5809, 2020.
- [28] W. Shim and S. Yu, "Technological Design of 3D NAND-Based Compute-in-Memory Architecture for GB-Scale Deep Neural Network," *Ieee Electr Device L*, vol. 42, no. 2, pp. 160-163, 2021.
- [29] W. Deng, H. Yang, and D. Wu, "Low-Frequency Noise Analysis of the Optimized Post High-k Deposition Annealing in FinFET Technology," *Ieee T Electron Dev*, vol. 68, no. 3, pp. 1202-1206, 2021.
- [30] A. I. Khan *et al.*, "Negative Capacitance in Short-Channel FinFETs Externally Connected to an Epitaxial Ferroelectric Capacitor," (in English), *Ieee Electr Device L*, vol. 37, no. 1, pp. 111-114, Jan 2016
- [31] 周家伟 徐礼磊 葛凡等, "负电容场效应晶体管研究进展," *ELECTRONICS WORLD · 探索与观察*, vol. 23, no. 12, pp.27-28, 2020.
- [32] C. Liu *et al.*, "Simulation-based study of negative-capacitance double-gate tunnel field-effect transistor with ferroelectric gate stack," *Jpn J Appl Phys*, vol. 55, no. 4S, 2016.
- [33] A. J. Tan *et al.*, "Experimental Demonstration of a Ferroelectric HfO₂-Based Content Addressable Memory Cell," *Ieee Electr Device L*, vol. 41, no. 2, pp. 240-243, 2020.
- [34] K. Jang, T. Saraya, M. Kobayashi, and T. Hiramoto, "I-on/I-off ratio enhancement and scalability of gate-all-around nanowire negative-capacitance FET with ferroelectric HfO₂," (in English), *Solid State Electron*, vol. 136, pp. 60-67, Oct 2017.
- [35] H. Mulaosmanovic *et al.*, "Investigation of Accumulative Switching in Ferroelectric FETs: Enabling Universal Modeling of the Switching Behavior," *Ieee T Electron Dev*, vol. 67, no. 12, pp. 5804-5809, 2020.
- [36] P. Wang *et al.*, "Investigating Ferroelectric Minor Loop Dynamics and History Effect—Part II: Physical Modeling and Impact on Neural Network Training," *Ieee T Electron Dev*, vol. 67, no. 9, pp. 3598-3604, 2020.
- [37] 吴迪, 徐永珍, 姜毅, 刘会刚, "低亚阈值摆幅铝掺杂二氧化铪铁电材料金属-铁电层-绝缘层-半导体场效应晶体管研究(英文)," *南开大学学报(自然科学版)*, vol. 54, no. 02, pp. 52-57, 2021.
- [38] H. Mulaosmanovic *et al.*, "Impact of Read Operation on the Performance of HfO₂-Based Ferroelectric FETs," *Ieee Electr Device L*, vol. 41, no. 9, pp. 1420-1423, 2020.
- [39] M. Kobayashi and T. Hiramoto, "On device design for steep-slope negative-capacitance field-effect-transistor operating at sub-0.2V supply voltage with ferroelectric HfO₂ thin film," *Aip Adv*, vol. 6, no. 2, 2016.
- [40] J. Y. Kim, M.-J. Choi, and H. W. Jang, "Ferroelectric field effect transistors: Progress and perspective," *Apl Mater*, vol. 9, no. 2, 2021.
- [41] 李俊, 杨阳, 吴振华, 杨文, 李成, 陈松岩, "基于低势垒 FM/I/n-Si 磁隧道结的优化自旋注入效率和增强的 Spin MOSFET 信号," *第十二届全国硅基光电子材料及器件研讨会*, 中国福建厦门, 2017, p. 2.
- [42] "Dirac-source field-effect transistors as energy-efficient, high-performance electronic switches," *Science Foundation in China*, vol. 26, no. 03, p. 46, 2018.
- [43] J.-H. Bae *et al.*, "Highly Scaled, High Endurance, Ω -Gate,

- Nanowire Ferroelectric FET Memory Transistors,"*Ieee Electr Device L*, vol. 41, no. 11, pp. 1637-1640, 2020.
- [44] T. Yu, W. Lü, Z. Zhao, P. Si, and K. Zhang, "Negative drain-induced barrier lowering and negative differential resistance effects in negative-capacitance transistors," *Microelectron J*, vol. 108, 2021.
- [45] 肖永光, "铁电场效应晶体管的保持性能与负电容效应研究," 博士, 湘潭大学, 2013.
- [46] Y. H. Liang, Z. M. Zhu, X. Q. Li, S. K. Gupta, S. Datta, and V. Narayanan, "Mismatch of Ferroelectric Film on Negative Capacitance FETs Performance," (in English), *Ieee T Electron Dev*, vol. 67, no. 3, pp. 1297-1304, Mar 2020.
- [47] Y. Liu *et al.*, "Investigation of the Impact of Externally Applied Out-of-Plane Stress on Ferroelectric FET,"*Ieee Electr Device L*, vol. 42, no. 2, pp. 264-267, 2021.
- [48] E. Ko, H. Lee, Y. Goh, S. Jeon, and C. Shin, "Sub-60-mV / decade Negative Capacitance FinFET With Sub-10-nm Hafnium-Based Ferroelectric Capacitor," (in English), *Ieee J Electron Devi*, vol. 5, no. 5, pp. 306-309, Sep 2017.
- [49] A. D. Gaidhane, A. Verma, and Y. S. Chauhan, "Study of multi-domain switching dynamics in negative capacitance FET using SPICE model,"*Microelectron J*, vol. 115, 2021.
- [50] E. Ko, J. W. Lee, and C. Shin, "Negative Capacitance FinFET With Sub-20-mV/decade Subthreshold Slope and Minimal Hysteresis of 0.48 V," (in English), *Ieee Electr Device L*, vol. 38, no. 4, pp. 418-421, Apr 2017.
- [51] R. Rasool, D. Najeeb ud, and G. M. Rather, "RETRACTED ARTICLE: An analytical model for the effects of the variation of ferroelectric material parameters on the minimum subthreshold swing of NC-FETs,"*J Comput Electron*, vol. 18, no. 4, pp. 1207-1213, 2021.
- [52] S. Semwal and A. Kranti, "Insights into unconventional behaviour of negative capacitance transistor through a physics-based analytical model,"*Semicond Sci Tech*, vol. 36, no. 9, 2021.
- [53] H. Mulaosmanovic *et al.*, "Interplay Between Switching and Retention in HfO₂-Based Ferroelectric FETs,"*Ieee T Electron Dev*, vol. 67, no. 8, pp. 3466-3471, 2020.
- [54] M. Lederer *et al.*, "Integration of Hafnium Oxide on Epitaxial SiGe for p-type Ferroelectric FET Application,"*Ieee Electr Device L*, vol. 41, no. 12, pp. 1762-1765, 2020.
- [55] C.-J. Sun *et al.*, "Comprehensive Study of Inversion and Junctionless Ge Nanowire Ferroelectric HfZrO Gate-All-Around FETs Featuring Steep Subthreshold Slope with Transient Negative Capacitance,"*ECS Journal of Solid State Science and Technology*, vol. 10, no. 6, 2021.
- [56] F. I. Sakib, F. E. Mullick, S. Shahnewaz, S. Islam, and M. Hossain, "Influence of device architecture on the performance of negative capacitance MFMS transistors,"*Semicond Sci Tech*, vol. 35, no. 2, 2020.
- [57] D. Kwon *et al.*, "Negative Capacitance FET With 1.8-nm-Thick Zr-Doped HfO₂ Oxide," (in English), *Ieee Electr Device L*, vol. 40, no. 6, pp. 993-996, Jun 2019.
- [58] T. Ali *et al.*, "A Study on the Temperature-Dependent Operation of Fluorite-Structure-Based Ferroelectric HfO₂ Memory FeFET: Pyroelectricity and Reliability,"*Ieee T Electron Dev*, vol. 67, no. 7, pp. 2981-2987, 2020.
- [59] 王步冉, 李珍, 谭欣, 翟亚红, "铁电负电容可测试性的仿真研究," *微电子学*, vol. 49, no. 05, pp. 724-728, 2019.
- [60] L. Liu, X. Hou, H. Zhang, J. Wang, and P. Zhou, "Ferroelectric field-effect transistors for logic and in-situ memory applications,"*Nanotechnology*, vol. 31, no. 42, p. 424007, Jun 29 2020
- [61] 吴春香, 仲崇贵, "二维铁电材料的第一性原理研究进展," *电子科技*, vol. 34, no. 10, pp. 81-86, 2021.
- [62] 殷泽润, "有机铁电聚合物薄膜制备及性能特性研究," 硕士, 华东师范大学, 2020 *Ieee Electr Device L*, vol. 28, no. 8, pp. 743-745, 2007.
- [63] F. I. Sakib, M. A. Hasan, and M. Hossain, "Exploration of Negative Capacitance in Gate-All-Around Si Nanosheet Transistors," (in English), *Ieee T Electron Dev*, vol. 67, no. 11, pp. 5236-5242, Nov 2020
- [64] K. Karda, A. Jain, C. Mouli, and M. A. Alam, "An anti-ferroelectric gated Landau transistor to achieve sub-60 mV/dec switching at low voltage and high

- speed,"*Appl Phys Lett*, vol. 106, no. 16, 2015.
- [65] 周久人, "基于铁电材料的负电容场效应晶体管研究," 博士, 西安电子科技大学, 2019.
- [66] A. Lu, X. Peng, Y. Luo, and S. Yu, "Benchmark of the Compute-in-Memory-Based DNN Accelerator With Area Constraint,"*Ieee T Vlsi Syst*, vol. 28, no. 9, pp. 1945-1952, 2020.
- [67] K. Tamersit, "A computational study of short-channel effects in double-gate junctionless graphene nanoribbon field-effect transistors,"*J Comput Electron*, vol. 18, no. 4, 2019.
- [68] S.-Y. Lee, C.-C. Lee, Y.-S. Kuo, S.-W. Li, and T.-S. Chao, "Ultrathin Sub-5-nm $\text{Hf}_{1-x}\text{Zr}_x\text{O}_2$ for a Stacked Gate-all-Around Nanowire Ferroelectric FET With Internal Metal Gate,"*Ieee J Electron Devi*, vol. 9, pp. 236-241, 2021.
- [69] 赵雯等, "22nm FDSOI 工艺 SRAM 单粒子效应的重离子实验研究,"*原子能科学技术*, pp. 1-9.
- [70] "Electron Devices; Reports on Electron Devices Findings from University of California Provide New Insights (Proposal for Capacitance Matching In Negative Capacitance Field-effect Transistors),"*Electronics Newsweekly*, 2019.
- [71] W.-X. You, P. Su, and C. Hu, "A New 8T Hybrid Nonvolatile SRAM With Ferroelectric FET,"*Ieee J Electron Devi*, vol. 8, pp. 171-175, 2020.
- [72] 林翠, 白刚, 李卫, 高存法, "外延 $\text{PbZr}_{0.2}\text{Ti}_{0.8}\text{O}_3$ 薄膜负电容的应变调控,"*物理学报*, vol. 70, no. 18, pp. 318-326, 2021.
- [73] V. Chauhan and D. P. Samajdar, "Recent Advances in Negative Capacitance FinFETs for Low-Power Applications: A Review,"*IEEE Trans Ultrason Ferroelectr Freq Control*, vol. 68, no. 10, pp. 3056-3068, Oct 2021.
- [74] D. Madadi and A. A. Orouji, "Investigation of 4H-SiC gate-all-around cylindrical nanowire junctionless MOSFET including negative capacitance and quantum confinements,"*The European Physical Journal Plus*, vol. 136, no. 7, 2021.
ron Dev, vol. 66, no. 6, pp. 2538-2543, Jun 2019.
- [75] K. Tamersit, M. K. Q. Jooq, and M. H. Moaiyeri, "Analog/RF performance assessment of ferroelectric junctionless carbon nanotube FETs: A quantum simulation study,"*Physica E: Low-dimensional Systems and Nanostructures*, vol. 134, 2021.
- [76] S. E. Huang, C. L. Yu, and P. Su, "Investigation of Fin-Width Sensitivity of Threshold Voltage for InGaAs and Si Negative-Capacitance FinFETs Considering Quantum-Confinement Effect," (in English), *Ieee T Electron Dev*, vol. 66, no. 6, pp. 2538-2543, Jun 2019.
- [77] H. Agarwal *et al.*, "Proposal for Capacitance Matching in Negative Capacitance Field-Effect Transistors," (in English), *Ieee Electr Device L*, vol. 40, no. 3, pp. 463-466, Mar 2019.
- [78] W. Huang *et al.*, "Investigation of negative DIBL effect for ferroelectric-based FETs to improve MOSFETs and CMOS circuits,"*Microelectron J*, vol. 114, 2021.
- [79] N. Zagni, P. Pavan, and M. A. Alam, "Two-dimensional MoS₂ negative capacitor transistors for enhanced (super-Nernstian) signal-to-noise performance of next-generation nano biosensors,"*Appl Phys Lett*, vol. 114, no. 23, 2019.
- [80] X. Chen *et al.*, "The Impact of Ferroelectric FETs on Digital and Analog Circuits and Architectures,"*IEEE Design & Test*, vol. 37, no. 1, pp. 79-99, 2020.
- [81] R. Rajaei, M. M. Sharifi, A. Kazemi, M. Niemier, and X. S. Hu, "Compact Single-Phase-Search Multistate Content-Addressable Memory Design Using One FeFET/Cell,"*Ieee T Electron Dev*, vol. 68, no. 1, pp. 109-117, 2021.
- [82] J. Huo *et al.*, "Investigation on negative capacitance FinEFT beyond 7 nm node from device to circuit,"*Microelectron J*, vol. 116, 2021.
- [83] H. Eslahi, T. J. Hamilton, and S. Khandelwal, "Small signal model and analog performance analysis of negative capacitance FETs,"*Solid State Electron*, vol. 186, 2021.
- [84] Y. Xiang *et al.*, "Compact Modeling of Multidomain Ferroelectric FETs: Charge Trapping, Channel Percolation, and Nucleation-Growth Domain Dynamics,"*Ieee T*

- Electron Dev*, vol. 68, no. 4, pp. 2107-2115, 2021.
- [85] "<1.3 Future Scaling_ Where Systems and Technology Meet.pdf>."
- [86] J.-D. Chen *et al.*, "Recent research progress of ferroelectric negative capacitance field effect transistors," *Acta Phys Sin-Ch Ed*, vol. 69, no. 13, 2020.
- [87] 田志, 谢欣云, "应力技术改善 CMOS 器件性能研究进展," *中国集成电路*, vol. 21, no. 05, pp. 26-33+38, 2012.
- [88] C. Zacharaki *et al.*, "Depletion induced depolarization field in Hf1-xZrxO2 metal-ferroelectric-semiconductor capacitors on germanium," *Appl Phys Lett*, vol. 116, no. 18, 2020.
- [89] M. Harada, M. Takahashi, S. Sakai, and T. Morie, "A time-domain analog weighted-sum calculation circuit using ferroelectric-gate field-effect transistors for artificial intelligence processors," *Jpn J Appl Phys*, vol. 59, no. 4, 2020.
- [90] W. Shim and S. Yu, "Technological Design of 3D NAND-Based Compute-in-Memory Architecture for GB-Scale Deep Neural Network," *Ieee Electr Device L*, vol. 42, no. 2, pp. 160-163, 2021.
- [91] F. Mo *et al.*, "Low-Voltage Operating Ferroelectric FET with Ultrathin IGZO Channel for High-Density Memory Application," *Ieee J Electron Devi*, vol. 8, pp. 717-723, 2020.
- [92] S. Jindal, S. K. Manhas, S. K. Gautam, S. Balatti, A. Kumar, and M. Pakala, "Investigation of Gate-Length Scaling of Ferroelectric FET," *Ieee T Electron Dev*, vol. 68, no. 3, pp. 1364-1368, 2021.
- [93] "<Split-Gate FeFET (SG-FeFET) with Dynamic Memory Window Modulation for Non-Volatile Memory and Neuromorphic Applications.pdf>."
- [94] J. Min and C. Shin, "MFMS Negative Capacitance FinFET Design for Improving Drive Current," *Electronics- Switz*, vol. 9, no. 9, 2020.
- [95] M.-Y. Kao, S. Salahuddin, and C. Hu, "Negative capacitance enables GAA scaling VDD to 0.5 V," *Solid State Electron*, vol. 181-182, 2021.
- [96] S. Yadav, P. Upadhyay, B. Awadhiya, and P. N. Kondekar, "Design and Analysis of Improved Phase-Transition FinFET Utilizing Negative Capacitance," *Ieee T Electron Dev*, vol. 68, no. 2, pp. 853-859, 2021.
- [97] "<Guidelines for Ferroelectric FET Reliability Optimization_Charge Matching.pdf>."
- [98] K.-W. Chen *et al.*, "Pulse-Mediated Electronic Tuning of the MoS2-Perovskite Ferroelectric Field Effect Transistors," *ACS Applied Electronic Materials*, vol. 2, no. 12, pp. 3843-3852, 20201.

收稿日期: 2021 年 11 月 18 日

出刊日期: 2021 年 12 月 20 日

引用本文: 李恒辉, 张冲, 于子苇, 郭全胜, 刘丽霞, 贾婷婷, 于淑会, 负电容场效应晶体管最新研究进展[J]. 物理科学与技术研究, 2021, 1(1): 1-15.

DOI: 10.12208/j.pstr.20210003

检索信息: RCCSE 权威核心学术期刊数据库、中国知网 (CNKI Scholar)、万方数据 (WANFANG DATA)、Google Scholar 等数据库收录期刊

版权声明: ©2021 作者与开放获取期刊研究中心 (OAJRC) 所有。本文章按照知识共享署名许可条款发表。 <http://creativecommons.org/licenses/by/4.0/>



OPEN ACCESS